

IFW



PTO/SB/21 (02-04)
 Approved for use through 07/31/2006. OMB 0651-0031
 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/711,410	
	Filing Date	2004/9/16	
	First Named Inventor	Ling-Wei Ke	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	MTKP0079USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks _____		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	9/20/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/711,410
Filing Date	2004/9/16
First Named Inventor	Ling-Wei Ke
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0079USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments
☒ Charge any additional fee(s) or any underpayment of fee(s)
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims: -20** = X =
Independent Claims: -3** = X =
Multiple Dependent: =

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	9/22/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (08-03)

Approved for use through 08/31/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

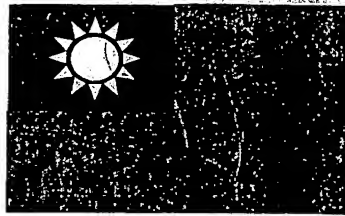
DECLARATION – Supplemental Priority Data Sheet

Foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092125672	Taiwan R.O.C.	9/17/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 09 月 17 日
Application Date

申請案號：092125672
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 10 月 23 日
Issue Date

BEST AVAILABLE COPY

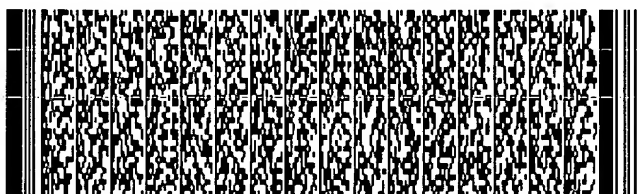
發文字號：09221075120
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可程式化多模數除頻器
	英 文	Multi-Modulus Programmable Frequency Divider
二、 發明人 (共1人)	姓 名 (中文)	1. 柯凌維
	姓 名 (英文)	1. KE, LING-WEI
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮三重里九鄰中興路二段二六0巷一號二樓
	住居所 (英 文)	1. 2F, No. 1, Lane 260, Sec. 2, Chung-Hsing Rd., Chu-Tung Town, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區創新一路1-2號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 5F, No. 1-2, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：可程式化多模數除頻器)

一種可程式化多模數除頻器，用來依據複數個更新除數訊號將一來源脈波進行除頻以輸出一除頻後之目標脈波，該可程式化多模數除頻器包含有至少一第一除頻單元，該至少一第一除頻單元係相互串接，其中該可程式化多模數除頻器，係根據一重置訊號以同步重置每一第一除頻單元之除頻運作，使每一第一除頻單元於重置完成後，依據重置訊號觸發當時已載入之更新除數訊號進行除 2 或除 3 模式的除頻動作，而該可程式化多模數除頻器除頻後之該目標脈波，係由最後一級第一除頻單元輸出。

五、(一)、本案代表圖為：第 十二 圖

(二)、本案代表圖之元件代表符號簡單說明：

30、40、50 除頻單元

六、英文發明摘要 (發明名稱：Multi-Modulus Programmable Frequency Divider)

A multi-modulus programmable frequency divider for dividing a source pulse according to a plurality of division signals and outputting a frequency-divided destination pulse, and the multi-modulus programmable frequency divider includes at least one first dividing cell, the at least one first dividing cell is cascaded, wherein the multi-modulus programmable frequency



四、中文發明摘要 (發明名稱：可程式化多模數除頻器)

500 可程式化多模數除頻器

代表化學式

六、英文發明摘要 (發明名稱：Multi-Modulus Programmable Frequency Divider)

divider synchronously resets each of the first cell according to a reset signal, so that each of the first dividing cell switchs to a divided-by-2 or a divided-by-3 mode after reset finished according to a loaded divison signal, and the multi-modulus programmable frequency divider outputs the frequency-divided destination pulse from the last of the at least one first dividing



四、中文發明摘要 (發明名稱：可程式化多模數除頻器)

六、英文發明摘要 (發明名稱：Multi-Modulus Programmable Frequency Divider)

cell.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

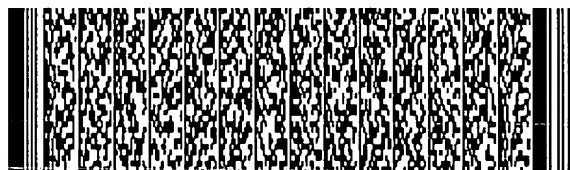
發明所屬之技術領域

本發明提供一種除頻器，尤指一種可程式化多模數除頻器。

先前技術

除頻電路是頻率合成器當中一個相當重要的部分。用以將一原始脈波除頻成一目標脈波，而該目標脈波之頻率為該原始脈波之頻率除以一除數值後之結果。如熟習此項技術者所熟知，一般的除頻電路 (Frequency Divider) 是由複數個彼此串接 (Cascade) 的雙模式除頻單元所組成，而每個除頻單元會依據一相對應的除數訊號，以選擇所要進行的除頻模式。除頻器所能處理的除數值範圍受限於該等除頻單元的個數多寡，除頻單元的個數越多，則該除頻器所能運作的除數值範圍就越大。常用的雙模式除頻單元是具有除 2 和除 3 兩種除頻模式的除頻單元 (2/3 Cell)。若該除頻電路由 N 個 2/3 除頻單元組成，則該除頻電路所能處理的除數值範圍為從 2^N 至 $2^{N+1}-1$ 之間的所有整數。

增加除頻單元的個數能擴大除頻電路的除數值範圍，然而，以積體電路設計時的空間使用效率角度來看，這並不是一個很好的方法。Philippe 於 US Patent 5349622 當



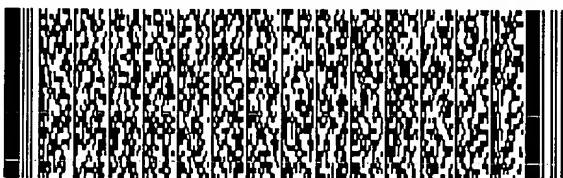
五、發明說明 (2)

中，提出了一種由一除頻電路與一可程式化計數器 (Programmable Counter) 所組成的可程式化除頻器。透過調整該計數器之計數值，便可擴大該除頻電路之除數值範圍。但是 Philippe 提出的可程式化除頻器需使用額外的該可程式化計數器，增加了電路設計時的複雜性與成本。

此外，當可程式化除頻器用於非整數之頻率合成器時，由於除數值需重複地在 M 與 $M+1$ 之間來回切換，以得到所希望的非整數頻率的目標脈波。然而，習知技術中，當除數值切換時（亦即該除頻器重新載入一組更新除數訊號時），只要該等除頻單元當中有任何一個除頻單元是處於模數切換致能態，則該處於模數切換致能態的除頻單元便會依據新載入的除數訊號進行對應的除頻模式。如此一來，將造成可程式化除頻器在該次除頻循環中，有部分頻單元係根據新的除數訊號運作，而其他的除頻單元係根據舊的除數訊號運作，因而造成該次除頻循環完成後所輸出除頻後的目標脈波之頻率產生錯誤。亦即除頻後輸出的目標脈波之頻率既不是原始脈波頻率除以 M 後的頻率，也不是除以 $M+1$ 後的頻率。

發明內容

因此本發明之主要目的在於提供一種可程式化多模式除



五、發明說明 (3)

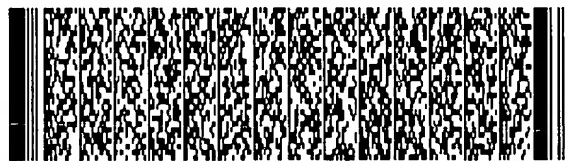
頻器，利用重置除頻單元的方法，確保除頻後所輸出脈波之頻率的正確性，以解決上述習知技術中的問題。

根據本發明之申請專利範圍，係揭露一種可程式化多模數除頻器轉換除數之方法，其中該可程式化多模數除頻器包含有複數個串接 (Cascade) 的除頻單元，該方法包含有提供複數個更新除數訊號，根據該等更新除數訊號將該等除頻單元分別切換於除 2 或除 3 的模式，以及同步重置 (Reset) 部分除頻單元。

本發明之可程式化多模數除頻器於切換除數值後，可同步重置所有除頻單元，以使每一除頻單元重新進行除頻動作。

本發明並可利用一重載訊號觸發每一除頻單元，使每一除頻單元同步重新載入相對應的更新除數訊號，確保於除數值變換後，每一除頻單元均會依據相對應的更新除數訊號進行除頻運作，進而解決習知技術中的問題。其中，該重載訊號可為可程式化多模數除頻器除頻後所輸出之脈波，以簡化電路設計。

另外，本發明僅需使用正反器與簡單的邏輯閘，便能使原先的雙模式除頻單元，另增加一旁通模式，進而擴展可程式化除頻器除數值的應用範圍。



五、發明說明 (4)

甚至，本發明之可程式化多模數除頻器只需同步載入對應的除數訊號於具有旁通模式的除頻單元，便能同時達成擴展除數值之應用範圍，與確保除頻後輸出脈波之頻率正確性的目的。

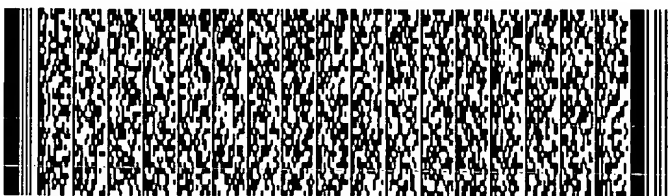
本發明之一優點在於，僅需使用簡單的正反器與邏輯閘便可擴展可程式化多模數除頻器之除數範圍，不需額外的可程式化計數器。

本發明之另一優點在於可程式化多模數除頻器利用重置除頻單元的方式，使重置後的除頻單元依據重置開始時的除數訊號進行除頻，以維持除頻後所輸出之脈波頻率的正確性。

本發明之又一優點在於使除頻單元模組化，可有效降低電路設計時的複雜性與成本。

實施方式

請參考圖一。圖一為本發明之可程式化多模數除頻器之第一實施例的示意圖。一可程式化多模數除頻器 100 包含有 N 個串接的除頻單元 10，其中每一除頻單元 10 均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入



五、發明說明 (5)

端 (Di)、一第四輸入端 (Rs)、一第一輸出端 (Fo)、及一第二輸出端 (Mo)。於圖一中每一除頻單元 10 依串接的順序由左至右分別定義為第一級、第二級、...、第 N 級除頻單元 10。

如圖一所示，於本發明之第一實施例中，可程式化多模數除頻器 100 之第一至第 N-1 級之中的每一除頻單元 10，其第一輸出端 (Fo) 係耦接於次一級除頻單元 10 之第一輸入端 (Fi)、其第二輸入端 (Mi) 係耦接於次一級除頻單元 10 之第二輸出端 (Mo)。第 N 級除頻單元 10 之第二輸入端 (Mi) 係耦接於一固定之邏輯值，於圖一本發明之實施例中，該第二輸入端 (Mi) 係耦接於 Vcc (表示最後一除數訊號為邏輯 1)。每一除頻單元 10 之第三輸入端 (Di) 係用以接收一更新除數訊號 $Di_{<P>}$ ($1 \leq P \leq N$)；其第四輸入端 (Rs) 用以接受一重置 (Reset) 訊號之觸發，以同步重置第 P 級除頻單元 10，該重置訊號通常係由一控制電路 (未顯示) 所產生。每一除頻單元 10 會依據其第三輸入端 (Di) 所載入之一除數訊號，切換其所需進行的除頻動作於除 2 或除 3 的模式，而其詳細運作方式將於稍後討論。

於本發明之第一實施例中，一原始脈波 Fin ，自可程式化多模數除頻器 100 的第一級除頻單元 10 之第一輸入端 (Fi) 輸入，經過每一個除頻單元 10 分別依其除頻模式



五、發明說明 (6)

進行除頻後，自第 N 級除頻單元 10 (亦即最後一級除頻單元 10) 之第二輸出端 (Mo) 或其第一輸出端 (Fo) 輸出一除頻後之目標脈波 Fout。其中該目標脈波 Fout 的頻率相對於該原始脈波 Fin 的比率，係決定於一可程式化之除數值。而該可程式化之除數值，以一組二進位除數訊號，分別載入每一除頻單元 10 之第三輸入端 (Di)。當除數值轉換時，利用該重置訊號，於可程式化多模數除頻器 100 之每一除頻單元 10 載入對應的更新除數訊號後，同步重置所有除頻單元 10，以使每一除頻單元 10 於重置後重新進行除頻動作。如此一來，便可確保可程式化多模數除頻器 100 最後所輸出除頻後之該目標脈波 Fout 之頻率，確為該原始脈波 Fin 之頻率除以該更新後之除數值的結果。

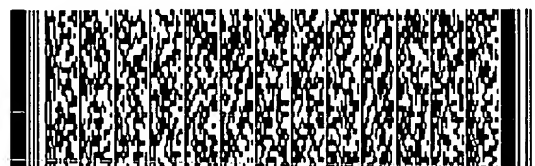
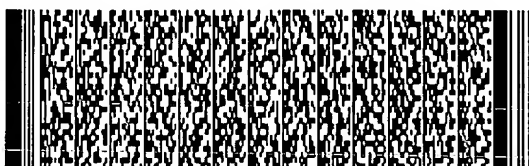
請參考圖二。圖二為圖一中除頻單元 10 之一實施例電路圖 12。如圖二所示，在電路圖 12 中，不論該第二輸入端 (Mi) 是在邏輯 0 或 1，只要當該第一輸出端 (Fo) 是在邏輯 0 位準且該第三輸入端 (Di) 所載入之除數訊號是邏輯 0 時，表示此時除頻單元 10 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及該第三輸入端 (Di) 所載入之除數訊號是邏輯 1 時，表示此時除頻單元 10 需進行除 3 的除頻模



五、發明說明 (7)

式，同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 3 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 則會輸出邏輯 0 (或 1) 訊號。再者，不論該第二輸入端 (Mi) 是在邏輯 0 或邏輯 1 位準，只要當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號。此外，當該第四輸入端 (Rs) 接收到的該重置訊號位於一致能位準時 (於本發明之實施例中，該致能位準係為邏輯 1 位準)，由於正反器 2 與正反器 4 均處於重置狀態，因此，除頻單元 10 將不進行除頻動作，所以該第一輸出端 (Fo) 會輸出邏輯 0 訊號，此時若該第二輸入端 (Mi) 是在邏輯 1 位準，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號。而當重置結束 (該重置訊號轉變為一邏輯 0 位準) 後，除頻單元 10 會重新進行除頻動作。

換句話說，在電路圖 12 中，不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第三輸入端 (Di) 是在邏輯 0 時，表示此時除頻單元 10 需進行除 2 的除頻模式，因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 2 之後的時脈訊號。而當該第二輸出端 (Mo) 是在邏輯 1 且該第三輸入端 (Di) 是在邏輯 1 時，表示除頻單元 10 需進行除 3 的除頻模式，因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端



五、發明說明 (8)

(Fo) 會輸出除以 3 之後的時脈訊號。

如前所述，由電路圖 12 的運作說明中可以發現，除頻單元 10 的工作時脈即為其第一輸入端 (Fi) 所接收到的時脈訊號。以圖一中的第一級除頻單元 10 為例，其第一輸入端 (Fi) 所輸入的該來源脈波 Fin 即為其工作時脈訊號。因此，於本發明第一實施例中，可程式化多模數除頻器 100 中的每一級除頻單元 10 的工作時脈，係由第一級除頻單元 10 漸次地往次一級除頻單元 10 傳遞過去，一直到第 N 級除頻單元 10 為止 (亦即最後一級除頻單元 10)，以使可程式化多模數除頻器 100 完成一個完整的除頻動作。

另外，由電路圖 12 的運作說明中另可發現，由每一除頻單元 10 的第二輸入端 (Mi) 所載入的訊號，係為該除頻單元 10 切換除頻模式的致能訊號。這是由於除頻單元 10 的預設除頻模式為除 2 的模式，當其第二輸入端 (Mi) 所載入的致能訊號位於非致能態時 (於本發明之實施例中，非致能態為邏輯 0 位準)，除頻單元 10 將進行除 2 的預設除頻模式。若除頻單元 10 之第二輸入端 (Mi) 所載入的致能訊號位於致能態時 (即邏輯 1)，除頻單元 10 便會根據其第三輸入端 (Di) 所載入的該除數訊號，將除頻單元 10 切換於除 2 或除 3 的模式。例如，當除頻單元 10 之第二輸入端 (Mi) 所載入的訊號位於邏輯 1 的致能態



五、發明說明 (9)

時，若其第三輸入端 (D_i) 所載入的除數訊號為邏輯 1，則表示除頻單元 10 被程式化為除 3 的模式，所以除頻模式 10 將進行除 3 的除頻動作。

請再參考圖一。如圖一所示，可程式化多模數除頻器 100 中的每一個除頻單元 10，其模式切換致能訊號（即其第二輸入端 (M_i) 所輸入之訊號），係由第 N 級除頻單元 10 漸次地往前一級除頻單元 10 傳遞過去，一直到第一級除頻單元 10 為止。而越前級的除頻單元 10 所接收到的致能訊號之頻率將越高，這樣的設計方式可以滿足最前面幾級除頻單元 10 高頻運作的需求。

請注意，本發明可程式化多模數除頻器之第一實施例當中最重要的一個技術特徵，在於同步重置所有的除頻單元 10 的除頻動作。如前所述，習知技術當中，於切換除頻器之除數值時，可能發生最後所輸出除頻後的時脈訊號頻率錯誤之情形。於本發明之第一實施例中，當切換可程式化多模數除頻器 100 之除數值後（亦即每一除頻單元 10 載入新的除數訊號時），可同步重置 (Reset) 所有除頻單元 10，以使每一除頻單元 10 根據新的除數訊號重新進行對應的除頻動作，進而解決習知技術中的問題。

請參考圖三（並一併參考圖二）。圖三為圖一中除頻單元 10 之另一實施例電路圖 14。相較於圖二，很明顯地，



五、發明說明 (10)

圖三之電路圖 14 與圖二之電路圖 12 的不同點，在於電路圖 14 比電路圖 12 多使用了一個及閘，如此一來便可提升電路圖 14 之第二輸出端 (Mo) 的輸出速度。而電路圖 14 的邏輯運作方式與圖二中之電路圖 12 均相同，在不妨礙本發明技術揭露的情形下，不予贅述。

請參考圖四。圖四為本發明之可程式化多模數除頻器之第二實施例的示意圖。一可程式化多模數除頻器 200 包含有 N 個串接的除頻單元 20，其中每一除頻單元 20 均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (R1)、一第一輸出端 (Fo)、及一第二輸出端 (Mo)。於圖四中每一除頻單元 20 依串接的順序由左至右分別定義為第一級、第二級、...、第 N 級除頻單元 20。

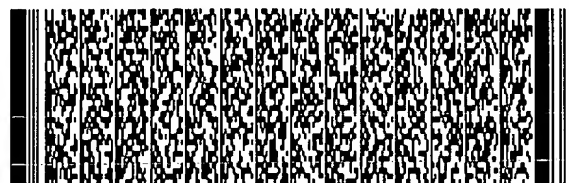
如圖四所示，於本發明之第二實施例中，可程式化多模數除頻器 200 之第一至第 N-1 級之中的每一除頻單元 20，其第一輸出端 (Fo) 係耦接於後一級除頻單元 20 之第一輸入端 (Fi)、其第二輸入端 (Mi) 係耦接於後一級除頻單元 20 之第二輸出端 (Mo)。而第 N 級除頻單元 20 之第二輸入端 (Mi) 係耦接於一固定之邏輯值，於圖四本發明之實施例中，該第二輸入端 (Mi) 係耦接於 Vcc (表示最後一除數訊號為邏輯 1)。每一除頻單元 20 之第三輸入端 (Di) 係用以接收一更新除數訊號 $Di_{<P>}$ ($1 \leq P \leq N$)；



五、發明說明 (11)

其第四輸入端 (R1) 係用以接收一重載 (Reload) 訊號，該重載訊號通常係由一控制電路 (未顯示) 所產生。每一除頻單元 20 於其第四輸入端 (R1) 接受該重載訊號之觸發時，會同步自其第三輸入端 (Di) 重新載入對應之該更新除數訊號 $Di_{<P>}$ ，以切換除頻運作於除 2 或除 3 的模式，其詳細運作方式將於稍後討論。

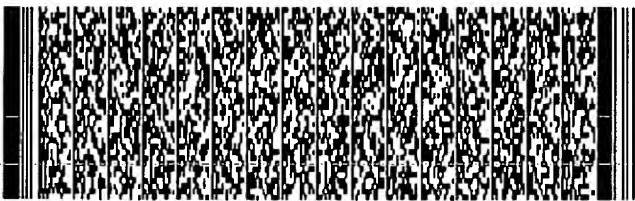
於本發明之第二實施例中，一原始脈波 Fin ，自可程式化多模數除頻器 200 的第一級除頻單元 20 之第一輸入端 (Fi) 輸入，經過每一個除頻單元 20 分別依其除頻模式進行除頻後，自第 N 級除頻單元 20 (亦即最後一級除頻單元 20) 之第二輸出端 (Mo) 或其第一輸出端 (Fo) 輸出一除頻後之目標脈波 $Fout$ 。同理，其中該目標脈波 $Fout$ 的頻率相對於該原始脈波 Fin 的比率，係由同步載入每一除頻單元 20 之第三輸入端 (Di) 的一組可程式化除數訊號來決定。當除數值轉換時，新的除數值以一組二進位除數訊號形式，分別備便於每一除頻單元 20 之第三輸入端 (Di) 上 (此時每一除頻單元 20 尚未載入該更新除數訊號)，接著一重載 (Reload) 訊號輸入於每一除頻單元 20 之第四輸入端 (R1)，以觸發所有除頻單元 20 分別自其第三輸入端 (Di) 同步載入對應的更新除數訊號。如此一來，便可確保可程式化多模數除頻器 200 最後所輸出除頻後之該目標脈波 $Fout$ 之頻率，確為該原始脈波 Fin 之頻率除以該更新後之除數值的結果。



五、發明說明 (12)

請參考圖五。圖五為圖四中除頻單元 20 之一實施例電路圖 22。如圖五所示，在電路圖 22 中，不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0 位準，或是當該第四輸入端 (R1) 接受該重載訊號觸發時，若該第三輸入端 (Di) 所載入之除數訊號是邏輯 0，表示除頻單元 20 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及當該第四輸入端 (R1) 接受該重載訊號觸發時，若該第三輸入端 (Di) 所載入之除數訊號是邏輯 1，表示除頻單元 20 需進行除 3 的除頻模式。同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 3 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號。再者，不論該第二輸入端 (Mi) 是在邏輯 0 或 1 位準，只要當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號。

換句話說，在電路圖 22 中，不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第四輸入端 (R1) 接受該重載訊號觸發時，若該第三輸入端 (Di) 所載入之除數訊號是邏輯

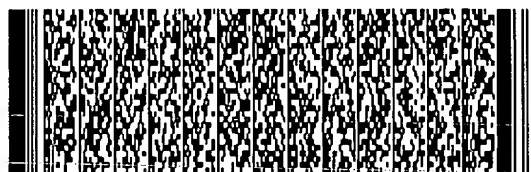


五、發明說明 (13)

0，表示除頻單元 20 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。而當該第二輸出端 (Mo) 是在邏輯 1 且當該第四輸入端 (R1) 接受該重載訊號觸發時，若該第三輸入端 (Di) 所載入之除數訊號是邏輯 1，表示除頻單元 20 需進行除 3 的除頻模式，同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 3 之後的時脈訊號。

於本發明可程式化多模數除頻器之第二實施例中，除頻單元 20 的工作時脈亦為其第一輸入端 (Fi) 所接收到的時脈訊號。可程式化多模數除頻器 200 中的每一級除頻單元 20 的工作時脈，係由第一級除頻單元 20 漸次地往次一級除頻單元 20 傳遞過去，一直到第 N 級除頻單元 20 為止 (亦即最後一級除頻單元 20)，以使可程式化多模數除頻器 200 完成一個完整的除頻動作。

同樣地，由除頻單元 20 的第二輸入端 (Mi) 所載入的訊號，即為該除頻單元 20 切換除頻模式的致能訊號。可程式化多模數除頻器 200 中的每一個除頻單元 20，其模式切換致能訊號，同樣由第 N 級除頻單元 20 漸次地往前一級除頻單元 20 傳遞過去，一直到第一級除頻單元 20 為止。而越前級的除頻單元 20 所接收到的致能訊號之頻率將越



五、發明說明 (14)

高，這樣的設計方式滿足了最前面幾級除頻單元 20 高頻運作時的需求。

相較於圖一之第一實施例，圖四中之可程式化多模數除頻器 200 係利用一重載訊號觸發除頻單元 20 的方式，使每一除頻單元 20 同步重新載入相對應的更新除數訊號，確保可程式化多模數除頻器 200 於除數值變換後，每一除頻單元 20 均會依據相對應的更新除數訊號進行除頻運作，進而解決習知技術中的問題。

請參考圖六（並一併參考圖五）。圖六為圖四中除頻單元 20 之另一實施例電路圖 24。相較於圖五，很明顯地，圖六之電路圖 24 與圖五之電路圖 22 的不同點，在於電路圖 24 比電路圖 22 多使用了一個及閘，如前所述，這樣一來便可提升電路圖 24 之第二輸出端（Mo）的輸出速度。而電路圖 24 的邏輯運作方式與圖五中之電路圖 22 均相同，在不妨礙本發明技術揭露的情形下，不再贅述。

請參考圖七。圖七為本發明之可程式化多模數除頻器之第三實施例的示意圖。一可程式化多模數除頻器 300 包含有 N 個串接的除頻單元 30，其中每一除頻單元 30 均具有一第一輸入端（Fi）、一第二輸入端（Mi）、一第三輸入端（Di）、一第四輸入端（Rs）、一第五輸入端（R1）、一第一輸出端（Fo）、及一第二輸出端

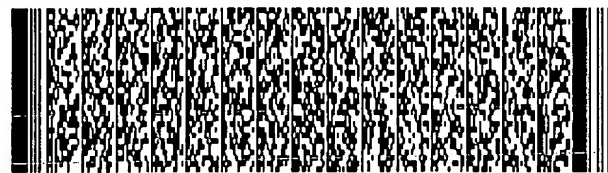


五、發明說明 (15)

(Mo)。於圖七中每一除頻單元30依串接的順序由左至右分別定義為第一級、第二級、...、第N級除頻單元30。

如圖七所示，可程式化多模數除頻器300當中的每一除頻單元30彼此之間的串聯方式，與前面兩個實施例相同。不同點在於可程式化多模數除頻器300中的每一除頻單元30除了該第四輸入端(Rs)用以接受一重置(Reset)訊號之觸發以同步重置除頻動作外，同時具有一第五輸入端(R1)，用以接受一重載(Reload)訊號之觸發，而同步自其第三輸入端(Di)重新載入對應之該更新除數訊號 $Di_{<P>}$ ($1 \leq P \leq N$)，以切換除頻運作於除2或除3的模式。其中該重置訊號與該重載訊號通常係由一控制電路產生(未顯示)。因此，可程式化多模數除頻器300不只可同步重置所有除頻單元30，亦可使每一除頻單元30同步載入對應的更新除數訊號。每一除頻單元30的詳細運作方式將於稍後說明。

於本發明之第三實施例中，一原始脈波 F_{in} ，自可程式化多模數除頻器300的第一級除頻單元30之第一輸入端(Fi)輸入，經由每一個除頻單元30分別依其除頻模式進行除頻後，自第N級除頻單元30(亦即最後一級除頻單元30)之第二輸出端(Mo)或其第一輸出端(Fo)輸出一除頻後之目標脈波 F_{out} 。與本發明之第二實施例相同，該目標脈波 F_{out} 的頻率相對於該原始脈波 F_{in} 的比



五、發明說明 (16)

率，係由同步載入每一除頻單元 30 之第三輸入端 (D_i) 的一組可程式化除數訊號來決定。當除數值轉換時，新的除數值以一組二進位除數訊號形式，分別備便於每一除頻單元 30 之第三輸入端 (D_i) 上 (此時每一除頻單元 30 尚未載入該更新除數訊號)，接著該重載 (Reload) 訊號輸入每一除頻單元 30 之第四輸入端 (R_1)，以觸發所有除頻單元 30 分別自其第三輸入端 (D_i) 同步載入對應的更新除數訊號。同時利用一邏輯 1 的重置訊號，同步重置可程式化多模數除頻器 300 當中的所有除頻單元 30，當該重置訊號降為邏輯 0 時，每一除頻單元 30 便會根據同步載入後的該更新除數訊號重新進行除頻動作。

請參考圖八 (並一併參考圖七)。圖八為本發明之可程式化多模數除頻器之第四實施例的示意圖。相較於圖七中本發明之第三實施例，圖八中的可程式化多模數除頻器 400 與圖七中的可程式化多模數除頻器 300 很類似，但可程式化多模數除頻器 400 簡化了可程式化多模數除頻器 300 的設計。在可程式化多模數除頻器 400 當中，每一除頻單元 30 的第四輸入端 (R_1)，均耦接於第 N 級 (亦即最後一級) 除頻單元 30 之第二輸出端 (M_o)。可程式化多模數除頻器 400 係直接以最後一級除頻單元 30 所輸出除頻後之該目標脈波 F_{out} ，作為該重載訊號。如此一來，於每一除頻單元 30 之第四輸入端 (R_1) 接受該目標脈波 F_{out} 之邊緣觸發時，每一除頻單元 30 會同步載入一次除



五、發明說明 (17)

數訊號 (不論其有無變更)。

請參考圖九。圖九為圖七與圖八中除頻單元 30 之一實施例電路圖 32。如圖九所示，在電路圖 32 中，不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第五輸入端 (R1) 接受該重載訊號觸發時，該第三輸入端 (Di) 所載入之除數訊號是邏輯 0，表示除頻單元 30 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及當該第五輸入端 (R1) 接受該重載訊號觸發時，該第三輸入端 (Di) 所載入之除數訊號是邏輯 1，表示除頻單元 30 需進行除 3 的除頻模式。同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 3 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號。再者，不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號。另外，當該第四輸入端 (Rs) 所接收之該重置訊號位於一致能位準時 (於本發明之實施例中，該致能位準係為邏輯 1 位準)，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，此時若該第二輸入端 (Mi) 是在邏輯 1 位準，則該

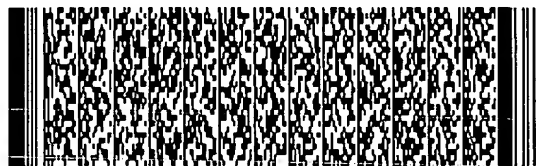


五、發明說明 (18)

第二輸出端 (Mo) 會輸出邏輯 1 訊號。

換句話說，於圖九之電路圖 32 中，不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第五輸入端 (R1) 接受該重載訊號觸發時，該第三輸入端 (Di) 所載入之除數訊號是邏輯 0，表示除頻單元 30 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。當該第二輸出端 (Mo) 是在邏輯 1 且當該第五輸入端 (R1) 接受該重載訊號觸發時，該第三輸入端 (Di) 所載入之除數訊號是邏輯 1，則表示除頻單元 30 需進行除 3 的除頻模式。同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 3 之後的時脈訊號。

另外，與前幾個實施例相同，於可程式化多模數除頻器 300 與可程式化多模數除頻器 400 中，每一除頻單元 30 之第一輸入端 (Fi) 所接收到的時脈訊號，即為該除頻單元 30 的工作時脈訊號。如前所述，每一級除頻單元 30 的工作時脈，均由第一級除頻單元 30 漸次地往次一級除頻單元 30 傳遞過去，一直到最後一級除頻單元 30 為止，以使可程式化多模數除頻器 300 或可程式化多模數除頻器 400 完成一個完整的除頻動作。同樣地，由除頻單元 30 的第二輸入端 (Mi) 所載入的訊號，即為該除頻單元 30 切



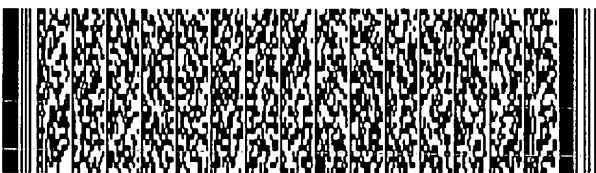
五、發明說明 (19)

換除頻模式的致能訊號。該致能訊號由第 N 級除頻單元 30 漸次地往前一級除頻單元 30 傳遞過去，一直到第一級除頻單元 30 為止。而越前級的除頻單元 30 所接收到的致能訊號之頻率將越高，這樣的設計方式滿足了最前面幾級除頻單元 30 高頻運作時的需求。

請注意，於本發明之第三與第四實施例中，最重要的技術特徵，在於可程式化多模數除頻器 300 與 400 當中的每一除頻單元 30，均同步載入相對應的更新除數訊號，並被同步重置。於同步重置後，每一除頻單元 30 均會根據新載入的更新除數訊號重新進行除頻動作。這樣的作法不僅可確保最後所輸出除頻後之該目標脈波 F_{out} 之頻率，確為該原始脈波 F_{in} 之頻率除以該更新後之除數值的結果，更進一步使得該目標脈波 F_{out} 為連續輸出的脈波訊號。

請參考圖十（並一併參考圖九）。圖十為圖七與圖八中除頻單元 30 之另一實施例電路圖 34。如圖十所示，電路圖 34 比圖九中的電路圖 32 多使用了一個及閘，同理，這樣的設計可提升電路圖 34 之第二輸出端（ M_o ）的輸出速度。而電路圖 34 的邏輯運作方式與圖九中之電路圖 32 均相同，在不妨礙本發明技術揭露的情形下，不再贅述。

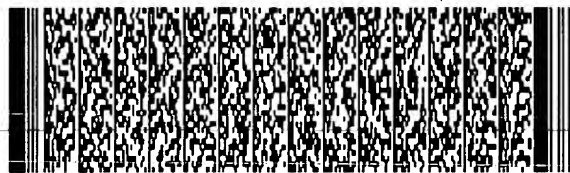
請參考圖十一（並一併參考圖八）。圖十一為圖八中可



五、發明說明 (20)

程式化多模數除頻器 400 的時序圖 450。在圖十一中，為說明上的方便，係假設本發明之可程式化多模數除頻器 400 共有 6 級除頻單元 30。如圖十一所示，於本實施例中，由於最後一級（即第六級）除頻單元 30 之第二輸入端（Mi）係耦接於 Vcc 永遠處於邏輯 1 位準（表示最後一除數訊號為邏輯 1），因此，本實施例中，可程式化多模數除頻器 400 的除數值最小為 64（ $2^6 = 64$ ）。在時序圖 450 中，不論各除頻單元 30 一開始之除頻模式為何，當重置訊號於時間 452 至時間 454 這段期間升至邏輯 1 位準時，所有除頻單元 30 均被同步重置而停止除頻動作，所以這段時間內所有除頻單元 30 之第一輸出端（Fo）所輸出的脈波（即 1-Fo、2-Fo、3-Fo、4-Fo、5-Fo、6-Fo）皆降為邏輯 0。如前所述，在時間 452 至時間 454 這段期間，由於第六級除頻單元 30 之第二輸入端（Mi）處於邏輯 1 位準，故其第二輸出端（Mo）亦會輸出邏輯 1 訊號。而因為第六級除頻單元 30 之第二輸出端（Mo），會連接到第五級除頻單元 30 之第二輸入端（Mi），第五級除頻單元 30 之第二輸出端（Mo），又會連接到第四級除頻單元 30 之第二輸入端（Mi），以此類推下去。因此，在該重置訊號致能期間，所有除頻單元 30 之第二輸出端（Mo）所輸出的脈波（即 1-Mo、2-Mo、3-Mo、4-Mo、5-Mo、6-Mo）均會為邏輯 1。

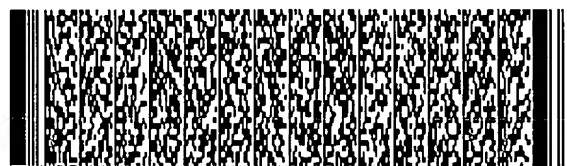
在時間 454 時，該重置訊號降為邏輯 0 位準（非致能位



五、發明說明 (21)

準)，表示所有除頻單元 30 同步重置完成，故所有除頻單元 30 此時會依據被重置當時所載入的除數訊號進行除頻動作。在圖十一中，係假設所有除頻單元 30 被重置當時的除數訊號均為邏輯 0（表示每一除頻單元 30 均進行除 2 的模式），亦即可程式化多模數除頻器 400 當時之除數值為 64。於時間 454 時，由於該原始脈波 F_{in} （亦為第一級除頻單元 30 之第一輸入端（ F_i ）所輸入之脈波 $1-F_i$ ）處於一上升緣，故第一級除頻單元 30 進行除 2 的除頻動作，將除頻後的脈波 $1-F_o$ 自其第一輸出端（ F_o ）輸出，成為第二級除頻單元 30 之工作時脈訊號（ $2-F_i$ ）。而工作時脈訊號（ $2-F_i$ ）的上升緣觸發第二級除頻單元 30 進行除頻動作，並將除頻後的脈波 $2-F_o$ 自其第一輸出端（ F_o ）輸出，成為第三級除頻單元 30 之工作時脈訊號（ $3-F_i$ ）。以此類推下去，直到時間 458 時，可程式化多模數除頻器 400 完成了重置後的第一個除頻循環。以最後一級（第六級）除頻單元 30 之第二輸出端（ M_o ）之輸出脈波 $6-M_o$ 作為除頻後的目標脈波 F_{out} 。該目標脈波 F_{out} 之頻率為該原始脈波 F_{in} 頻率的六十四分之一（若以第六級除頻單元 30 之第一輸出端（ F_o ）之輸出脈波 $6-F_o$ 作為除頻後的目標脈波 F_{out} ，則頻率同樣為該原始脈波 F_{in} 頻率的六十四分之一）。

如前所述，第六級除頻單元 30 之第二輸出端（ M_o ）之輸出脈波 $6-M_o$ 係同時被當成可程式化多模數除頻器 400 之重



五、發明說明 (22)

載訊號。在時序圖 450 中，於時間 456 時，每一除頻單元 30 的第三輸入端 (Di) 上所備便之除數訊號均為邏輯 0，則於脈波 6-Mo 之上升緣觸發每一除頻單元 30 重新載入對應的除數訊號後，可程式化多模數除頻器 400 之除數值仍保持為 64。因此，在下一個除頻循環中，每一除頻單元 30 將會重複一次除 2 模式的除頻動作。輸出之除頻後的目標脈波 Fout (6-Mo) 之頻率仍將為該原始脈波 Fin 頻率的六十四分之一。

事實上，由圖十一中可發現，在一個除頻循環中，不論以哪一級除頻單元 30 的第二輸出端 (Mo) 之輸出脈波當作可程式化多模數除頻器 400 除頻後之目標脈波 Fout，其頻率都是相同的，差別只在於脈波寬度不同而已。而直接利用最後一級除頻單元 30 除頻後所輸出之脈波 6-Mo 作為該重載訊號的優點，在於脈波 6-Mo 之脈波寬度比其他前級除頻單元 30 之輸出脈波 (1-Mo、2-Mo、...、5-Mo) 寬，因此，在電路設計上，可以降低對除頻單元 30 偵測高頻訊號能力的要求，進而降低可程式化多模數除頻器的成本。

由本發明之可程式化多模數除頻器 400 的時序圖 450 的說明中，可以發現本發明之第四實施例之兩點重要技術特徵：



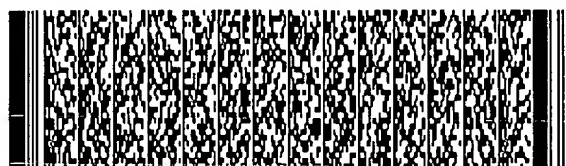
五、發明說明 (23)

(a)同步重置所有除頻單元 30。使每一除頻單元 30於重置後根據當下的除數訊號重新進行除頻動作。亦即可程式化多模數除頻器 400將會根據當下的除數值重新進行除頻動作。

(b)利用除頻後輸出之該目標脈波 F_{out} 作為該重載訊號，以觸發每一除頻單元 30同步載入新的除數訊號。

在前面的實施例中，說明了本發明之可程式化多模數除頻器解決了習知技術在轉換除數後，所輸出除頻後的脈波之頻率錯誤的情形。為了進一步改進習知技術當中，除頻器能處理的除數範圍受限於除頻單元個數的問題，本發明將原先的除頻單元配合簡單的邏輯閘，使除頻單元增加了一旁通模式 (Bypass Mode) 的運作方式。以下將說明本發明之具有較廣除數範圍的可程式化多模數除頻器之架構。

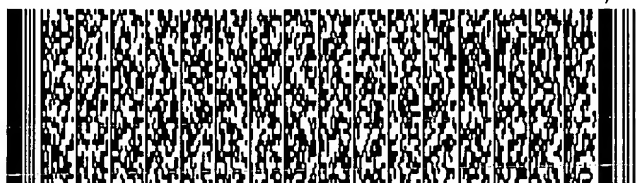
請參考圖十二。圖十二為本發明之可程式化多模數除頻器之第五實施例的示意圖。一可程式化多模數除頻器 500，包含有三第一除頻單元 30、一第二除頻單元 40、以及二第三除頻單元 50；其中每一除頻單元 30均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (R1)、一第一輸出端 (Fo)、及一第二輸出端 (Mo)，且每一



五、發明說明 (24)

除頻單元 30 依串接的順序由左至右分別定義為第一級、第二級、第三級除頻單元 30；每一第三級除頻單元 50 均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (R1)、一第六輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，且每一除頻單元 50 依串接的順序由左至右分別定義為第四級、第五級除頻單元 50；第二除頻單元 40 具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (R1)、一第六輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，且第二除頻單元 40 依其串接的順序定義為第六級除頻單元 40。

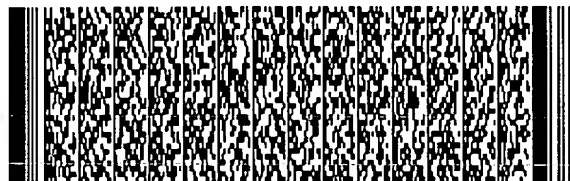
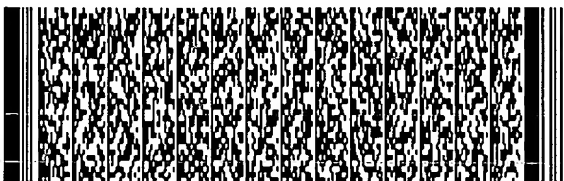
其中第一至第三級除頻單元 30 彼此間的串聯方式與前面實施例相同，在此不再贅述；第四級除頻單元 50 之第一輸入端 (Fi) 耦接於第三級除頻單元 30 之第一輸出端 (Fo)、第二輸出端 (Mo) 耦接於第三級除頻單元 30 之第二輸入端 (Mi)、第一輸出端 (Fo) 耦接於第五級除頻單元 50 之第一輸入端 (Fi)、第二輸入端 (Mi) 耦接於第五級除頻單元 50 之第二輸出端 (Mo)、第六輸入端 (Ci) 耦接於第五級除頻單元 50 之第三輸出端 (Co)；第五級除頻單元 50 之第一輸出端 (Fo) 耦接於第六級除頻單元 40 之第一輸入端 (Fi)、第二輸入端 (Mi) 耦接



五、發明說明 (25)

於第六級除頻單元 40 之第二輸出端 (Mo)、第六輸入端 (Ci) 耦接於第六級除頻單元 40 之第三輸出端 (Co)；第六級除頻單元 40 之第二輸入端 (Mi) 耦接於 Vcc、第六輸入端 (Ci) 耦接於一最後除數訊號 $Di_{<7>}$ 。此外，可程式化多模數除頻器 500 中，所有除頻單元之第三輸入端 (Di)，係用以接收一對應的除數訊號 $Di_{<P>}$ ($1 \leq P \leq 6$)；而第四輸入端 (Rs)，係用以接收一重置訊號以同步重置該除頻單元，該重置訊號通常由一控制電路 (未顯示) 產生；該第五輸入端 (R1) 係耦接於第三級除頻單元 30 之第二輸出端 (Mo)，以第三級除頻單元 30 之第二輸出端 (Mo) 所輸出之脈波 3-Mo 作為一重載訊號。於本實施例中，可程式化多模數除頻器 500 亦以脈波 3-Mo 作為除頻後輸出之目標脈波 Fout。

可程式化多模數除頻器 500 之運作方式與前面之實施例類似，同樣以該等除數訊號 ($Di_{<1>}$ 、 $Di_{<2>}$ 、 $Di_{<3>}$ 、...、 $Di_{<7>}$) 所代表之二進位值作為一除數值，並依據該除數值將第一級除頻單元 30 之第一輸入端 (Fi) 所接收到的一來源脈波 Fin 除頻。然而，不同點在於前面的實施例中，該等除數訊號之最後一除數訊號 (亦即 $Di_{<N+1>}$) 均處於邏輯 1 位準。因此，當使用 N 個除頻單元時，可處理之除數值範圍係為從 2 到 $2^{N+1}-1$ 之中的任一整數值。然而，在本發明之第五實施例中，可程式化多模數除頻器 500 之最後三級除頻單元 (即第四級除頻單元 50、第五級除頻單元 50、

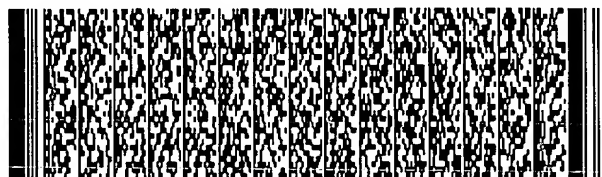
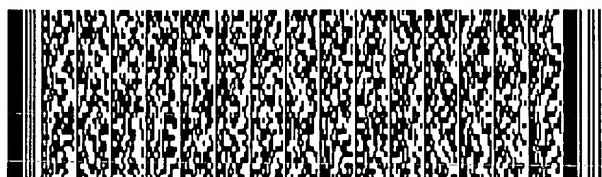


五、發明說明 (26)

第六級除頻單元 40) 多了一個旁通 (Bypass) 模式。當除頻單元 40 或除頻單元 50 之第六輸入端 (Ci) 所接收到的訊號 (即旁通模式致能訊號) 為邏輯 0 位準時, 表示該除頻單元將不進行除頻動作, 而處於一旁通 (Bypass) 狀態。至於旁通除頻單元 40 與除頻單元 50 的方式將於稍後說明。因此, 可程式化多模數除頻器 500 所能處理之除數值範圍將成為從 2 到 2^7-1 (即 8 到 127) 之中的任一整數值, 而不再只是從 2 到 2^7-1 之間的範圍。而且, 本發明僅使用了簡單的正反器與組合邏輯, 便能擴展可程式化多模數除頻器之除數值應用範圍, 有效降低了設計時的複雜性與成本。

請注意, 於本發明之一較佳實施例中, 可程式化多模數除頻器中所使用的正反器為 D 型正反器, 此僅為了說明上的方便, 只要能達成本發明之目的, 使用任何類型的正反器均屬於本發明之範圍。

請參考圖十三 (並一併參考圖十二)。圖十三為圖十二中除頻單元 40 之一實施例電路圖 42。除頻單元 40 係為最後一級除頻單元, 如圖十二所示, 除頻單元 40 之第二輸入端 (Mi) 耦接於 Vcc (即邏輯 1 位準), 而第三輸入端 (Di) 與第六輸入端 (Ci) 分別耦接於最後兩個除數訊號 $Di_{<6>}$ 與 $Di_{<7>}$ 。在電路圖 42 中, 當該第五輸入端 (R1) 接受該重置訊號之觸發後, 除數訊號 $Di_{<6>}$ 與 $Di_{<7>}$ 會分別自該

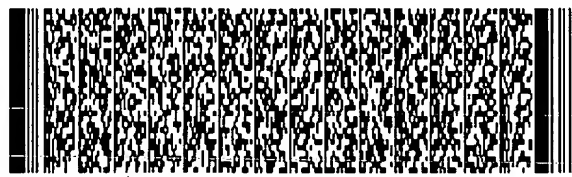


五、發明說明 (27)

第三輸入端 (D_i) 與該第六輸入端 (C_i) 同步載入。此時，若該最後除數訊號 $Di_{<7>}$ 為邏輯 0，則一正反器 132 會輸出一邏輯 0 位準，該邏輯 0 位準經過一反閘 142 轉成一邏輯 1 位準輸入一或閘 152，或閘 152 的輸出將維持在一邏輯 1 位準以重置一正反器 134 與一正反器 136 之運作。很明顯地，不論此時除頻單元 40 之第三輸入端 (D_i) 所載入的除數訊號 $Di_{<6>}$ 為何，除頻單元 40 皆不會進行任何除頻動作，進入所謂的旁通狀態。所以，當該最後除數訊號 $Di_{<7>}$ 為邏輯 0 位準時，第六級除頻單元 40 便會被旁通。

請同時參考圖二。如前所述，當圖二中的電路圖 12 之該第四輸入端 (R_s) 所接受到之該重置 (Reset) 訊號位於邏輯 1 位準時，除頻單元 10 將不進行除頻動作，直到重置結束後，除頻單元 10 才重新進行除頻動作。如前所述，當圖十三中電路圖 42 之該第六輸入端 (C_i) 載入邏輯 0 訊號 (即旁通模式之致能訊號) 時，正反器 134 與正反器 136 均會處於重置狀態，使除頻單元 40 不進行除頻動作。因此，當除頻單元 40 之該第六輸入端 (C_i) 載入邏輯 0 訊號而被旁通時，相當於除頻單元 40 一直處於重置狀態。

另外，當該第五輸入端 (R_1) 接受該重置訊號之觸發後，若除頻單元 40 所載入的除數訊號 $Di_{<6>}$ 與 $Di_{<7>}$ 均為邏輯 0，如電路圖 42 所示，一或閘 154 將輸出一邏輯 0 位準，而該邏輯 0 位準將自除頻單元 40 之第三輸出端 (Co) 輸出至

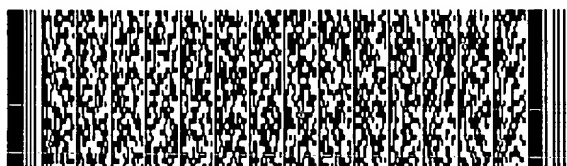


五、發明說明 (28)

前一級 (第五級) 除頻單元之第六輸入端 (C_i)，以旁通前一級除頻單元。

接著請參考圖十五。圖十五為圖十二中除頻單元 50 之一實施例電路圖 52。在電路圖 52 中，當該第六輸入端 (C_i) 所載入之訊號為邏輯 0 位準時，與圖十三中的電路圖 42 相同，該邏輯 0 位準經過一反閘 242 轉成一邏輯 1 位準，並輸入一或閘 252，或閘 252 將輸出一邏輯 1 位準以重置一正反器 232 與一正反器 234。此時，除頻單元 50 將被旁通而不會進行除頻動作。同理，在電路圖 52 中，當第六輸入端 (C_i) 與第三輸入端 (D_i) 所載入之訊號均為邏輯 0 位準時，一或閘 254 將輸出一邏輯 0 位準，而該邏輯 0 位準將自除頻單元 50 之第三輸出端 (C_o) 輸出至前一級除頻單元之第六輸入端 (C_i)，以旁通前一級除頻單元。

由前面電路圖 42 與電路圖 52 運作方式的說明中可得到一個結論：於本發明之第五實施例中，當該最後 2 除數訊號 $Di_{<6}$ 與 $Di_{<7}$ 均為邏輯 0 時，則可程式化多模數除頻器 500 之第六級除頻單元 40 與第五級除頻單元 50 均會被旁通。以此類推下去，當除數訊號 $Di_{<5}$ 、 $Di_{<6}$ 與 $Di_{<7}$ 均為邏輯 0 時，則可程式化多模數除頻器 500 之第四級除頻單元 50、第五級除頻單元 50 以及第六級除頻單元 40 均會被旁通而不進行除頻運作。如此一來，透過該等除數訊號 ($Di_{<1}$ 、 Di



五、發明說明 (29)

$\langle 2 \rangle$ 、 $Di_{\langle 3 \rangle}$ 、 \dots 、 $Di_{\langle 7 \rangle}$) 之設定，便能擴展可程式化多模數除頻器 500 所能處理的除數值範圍。

舉例而言，當該等除數訊號 $Di_{\langle 7 \rangle}$ 、 $Di_{\langle 6 \rangle}$ 、 $Di_{\langle 5 \rangle}$ 、 \dots 、 $Di_{\langle 1 \rangle}$ 依序分別為 0001000 (即 8 的二進位值) 時，表示除數值為 8；當該等除數訊號 $Di_{\langle 7 \rangle}$ 、 $Di_{\langle 6 \rangle}$ 、 $Di_{\langle 5 \rangle}$ 、 \dots 、 $Di_{\langle 1 \rangle}$ 依序分別為 0001001 (即 9 的二進位值) 時，表示除數值為 9；當該等除數訊號 $Di_{\langle 7 \rangle}$ 、 $Di_{\langle 6 \rangle}$ 、 $Di_{\langle 5 \rangle}$ 、 \dots 、 $Di_{\langle 1 \rangle}$ 依序分別為 0111111 (即 63 的二進位值) 時，表示除數值為 63；當該等除數訊號 $Di_{\langle 7 \rangle}$ 、 $Di_{\langle 6 \rangle}$ 、 $Di_{\langle 5 \rangle}$ 、 \dots 、 $Di_{\langle 1 \rangle}$ 依序分別為 1000000 (即 64 的二進位值) 時，表示除數值為 64；當該等除數訊號 $Di_{\langle 7 \rangle}$ 、 $Di_{\langle 6 \rangle}$ 、 $Di_{\langle 5 \rangle}$ 、 \dots 、 $Di_{\langle 1 \rangle}$ 依序分別為 1111111 (即 127 的二進位值) 時，表示除數值為 127。

由於可程式化多模數除頻器 500 之最後三級除頻單元都可能被旁通，因此，在圖十二的第五實施例中，以第三級除頻單元 30 之第二輸出端 (Mo) 之輸出脈波 3- Mo ，作為可程式化多模數除頻器 500 除頻後所輸出之目標脈波 F_{out} 。

相較圖八中之可程式化多模數除頻器 400 而言，在本發明第五實施例之可程式化多模數除頻器 500 中，同樣可同步重置每一除頻單元，使每一除頻單元重新進行除頻動作，亦同樣於完成一除頻循環後，以除頻後之目標脈波



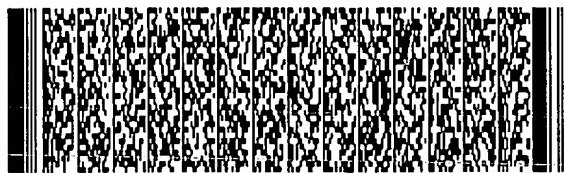
五、發明說明 (30)

Fout觸發每一除頻單元，使每一除頻單元同步載入相對應的除數訊號。不同點在於本發明第五實施例中，可程式化多模數除頻器 500，使用了具有旁通模式的除頻單元 40和除頻單元 50，可藉由除數訊號之設定而擴展可程式化除頻器之除數值的應用範圍。

請再參考圖十三（並一併參考圖九、圖十五）。圖十三中的電路圖 42與圖十五中的電路圖 52均與圖九中的電路圖 32很類似。不同點在於電路圖 52比電路圖 32多了三個或閘（即或閘 252、254、256）以及一個反閘 242，而電路圖 42又比電路圖 52多了一個正反器 132、一個反閘 144以及兩個及閘 162、164。因此，本發明之第五實施例最重要的一項技術特徵，在於僅需使用正反器與簡單的邏輯閘，便能使除頻單元於原先的雙除頻模式外，另增加一旁通模式，進而擴展可程式化除頻器可應用的除數值範圍。

請注意，在圖十二中，可程式化多模數除頻器 500的除頻單元個數為 6個，僅係為了說明上的方便，本發明之可程式化多模數除頻器所使用的除頻單元個數並不限定於 6個，只要能達成與本發明相近之功能，使用任何個數除頻單元的方式，均屬於本發明之範圍。

請參考圖十四（並一併參考圖十二、圖十三）。圖十四

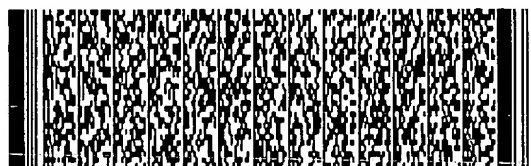


五、發明說明 (31)

為圖十二中除頻單元 40 之另一實施例電路圖 44。相較於圖十三中的電路圖 42，電路圖 44 中僅多了一個及閘 166，同理，這樣的設計可提升電路圖 44 之第二輸出端 (Mo) 的輸出速度。而電路圖 44 的邏輯運作方式與電路圖 42 均相同，在不妨礙本發明技術揭露的情形下，不再贅述。

請參考圖十六。(並一併參考圖十二、圖十五)。圖十六為圖十二中除頻單元 50 之另一實施例電路圖 54。相較於圖十五中的電路圖 52，電路圖 54 中僅多了一個及閘 262，同理，這樣的設計可提升電路圖 54 之第二輸出端 (Mo) 的輸出速度。而電路圖 54 的邏輯運作方式與電路圖 52 均相同，在不妨礙本發明技術揭露的情形下，不再贅述。

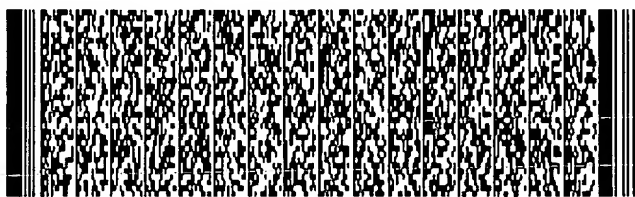
請參考圖十七。圖十七為本發明之可程式化多模數除頻器之第六實施例的示意圖。一可程式化多模數除頻器 600，包含有三第四除頻單元 60、一第五除頻單元 70、以及二第六除頻單元 80，其中每一第四除頻單元 60 係彼此串接，並依串接順序分別定義為第一級除頻單元 60、第二級除頻單元 60 以及第三級除頻單元 60；兩個第六除頻單元 80 依串接順序分別定義為第四級除頻單元 80、第五級除頻單元 80，且第四級除頻單元 80 串聯於第三級除頻單元 60，第五級除頻單元 80 串接於第四級除頻單元 80；第五除頻單元 70 串接於第五級除頻單元 80，並依串接之



五、發明說明 (32)

順序定義為第六級除頻單元 70。

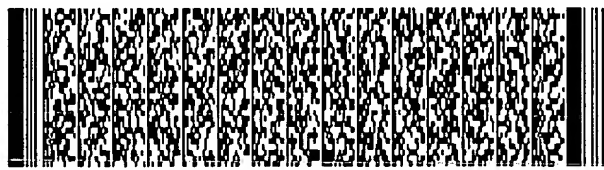
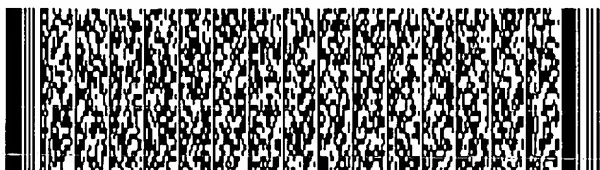
如圖十七所示，每一除頻單元 60 均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第一輸出端 (Fo)、及一第二輸出端 (Mo)；每一除頻單元 80 與除頻單元 70 均具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (R1)、一第五輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)。第一級至第五級除頻單元之該第一輸出端 (Fo)，係耦接於下一級除頻單元之該第一輸入端 (Fi)；第一級至第五級除頻單元之該第二輸入端 (Mi)，係耦接於下一級除頻單元之該第二輸出端 (Mo)；第四級與第五級除頻單元 80 之該第五輸入端 (Ci)，係耦接於下一級除頻單元之該第三輸出端 (Co)；第一級除頻單元 60 之該第一輸入端 (Fi)，係耦接於一來源脈波 F_{in} ；第六級除頻單元 70 之該第二輸入端 (Mi) 係耦接於 V_{cc} ；每一級除頻單元之該第三輸入端 (Di) 係分別耦接於一相對應之除數訊號 $Di_{<N>}$ ($1 \leq N \leq 6$)；第六級除頻單元 70 之第五輸入端 (Ci) 係耦接於一最後除數訊號 $Di_{<7>}$ ；第四級至第六級除頻單元之該第四輸入端 (R1)，係耦接於第三級除頻單元 60 之該第二輸出端 (Mo)，以第三級除頻單元 60 除頻後輸出之脈波 3'-Mo 作為一重載 (Reload) 訊號。



五、發明說明 (33)

於本實施例中，可程式化多模數除頻器 600 係自第一級除頻單元 60 之該第一輸入端 (Fi) 輸入該來源脈波 Fin，經過每一級除頻單元進行對應的除頻動作後，自第三級除頻單元 60 之該第二輸出端 (Mo) 輸出一除頻後之目標脈波 Fout (亦即以脈波 3'-Mo 作為該目標脈波 Fout)。其中每一除頻單元係根據其第三輸入端 (Di) 所載入之除數訊號，進行除 2 或除 3 的除頻模式。而第四級至第六級除頻單元另根據其第五輸入端 (Ci) 所載入之訊號 (即旁通模式致能訊號)，決定是否旁通該級除頻單元。因此，與本發明之第五實施例相同，可程式化多模數除頻器 600 可處理之除數值範圍亦為從 8 至 127 之中的任一整數值。然而，不同點在於本發明之第六實施例中，僅需觸發具有旁通模式的除頻單元 (即除頻單元 70 與除頻單元 80) 以同步載入除數值，而不需要觸發所有除頻單元。另外，於本發明之第六實施例中，該等具有旁通模式之除頻單元，於被旁通時 (即第五輸入端 (Ci) 所載入之訊號為邏輯 0 位準) 將一併被重置，因而不需一額外之重置 (Reset) 訊號以同步重置所有除頻單元。如此一來，本發明所揭露之第六實施例將可降低電路設計之複雜性，更具有降低成本的優點。以下將說明本發明之第六實施例中每一除頻單元之電路架構。

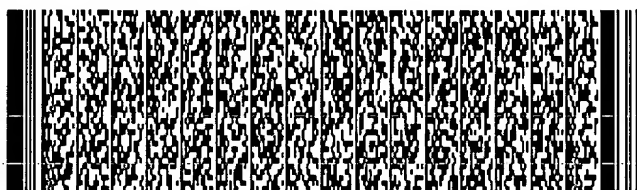
請參考圖十八與圖十九。圖十八與圖十九為圖十七中除



五、發明說明 (34)

頻單元 60 之兩實施例電路圖 62 與電路圖 64。以電路圖 62 為例說明，不論該第二輸入端 (Mi) 是在邏輯 0 或 1，只要當該第一輸出端 (Fo) 是在邏輯 0 位準且該第三輸入端 (Di) 所載入之除數訊號是邏輯 0 時，表示此時除頻單元 10 需進行除 2 的除頻模式。因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 2 之後的時脈訊號。當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及該第三輸入端 (Di) 所載入之除數訊號是邏輯 1 時，表示此時除頻單元 10 需進行除 3 的除頻模式，同理，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出頻率除以 3 之後的時脈訊號。換句話說，不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第三輸入端 (Di) 是在邏輯 0 時，表示此時除頻單元 10 需進行除 2 的除頻模式，因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 2 之後的時脈訊號。而當該第二輸出端 (Mo) 是在邏輯 1 且該第三輸入端 (Di) 是在邏輯 1 時，表示除頻單元 10 需進行除 3 的除頻模式，因此，於該第一輸入端 (Fi) 的時脈訊號正緣端觸發時，該第一輸出端 (Fo) 會輸出除以 3 之後的時脈訊號。

當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 則會輸出邏



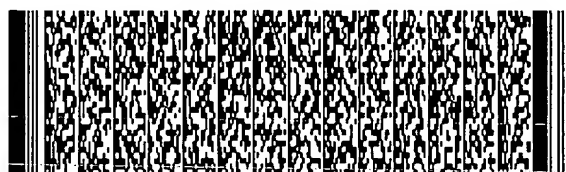
五、發明說明 (35)

輯 0 (或 1) 訊號。再者，不論該第二輸入端 (Mi) 是在邏輯 0 或邏輯 1 位準，只要當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號。

至於電路圖 64 與電路圖 62 的不同點，在於電路圖 64 中多了一個及閘，這樣的設計可提升電路圖 64 之該第二輸出端 (Mo) 的輸出速度。而電路圖 64 的邏輯運作方式與電路圖 62 均相同，在不妨礙本發明技術揭露的情形下，不予贅述。

請參考圖二十與圖廿一。圖二十與圖廿一為圖十七之中除頻單元 70 之兩實施例電路圖 72 與電路圖 74。電路圖 72 與電路圖 74 幾乎完全相同，唯一的不同點僅在於電路圖 74 多了一個及閘 762，可提升電路圖 74 之該第二輸出端 (Mo) 的輸出速度。由於電路圖 74 的邏輯運作方式與電路圖 72 均相同，以下以電路圖 72 為例說明。

電路圖 72 之邏輯運作方式與圖十八中之電路圖 62 很接近。相較於電路圖 62，很明顯地，電路圖 72 多了該第四輸入端 (R1)、該第五輸入端 (Ci)、以及該第三輸出端 (Co)。當該第四輸入端 (R1) 接受該重載訊號 (即脈波 3'-Mo，同時也是該目標脈波 Fout) 之邊緣 (於本實施例中為上升緣) 觸發時，除數訊號 $Di_{<6>}$ 會自該第三輸入端 (Di) 載入，同時最後除數訊號 $Di_{<7>}$ 會自該第五輸入端



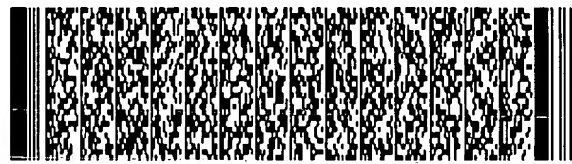
五、發明說明 (36)

(Ci) 載入。若載入的最後除數訊號 $Di_{<7}$ 為邏輯 0 位準，則一正反器 732 會輸出邏輯 0 位準，該邏輯 0 位準會經由一反閘 742 轉成邏輯 1 位準，以重置正反器 734 與正反器 736。因此，當最後除數訊號 $Di_{<7}$ 為邏輯 0 位準時，除頻單元 70 便會被旁通，此時相當於除頻單元 70 一直處於重置狀態而不進行除頻運作。

若載入的除數訊號 $Di_{<6}$ 與最後除數訊號 $Di_{<7}$ 均為邏輯 0 位準，則電路圖 72 中的一或閘 752 會自該第三輸出端 (Co) 輸出一邏輯 0 位準，傳遞至前一級除頻單元之該第五輸入端 (Ci)。因此，當圖十七中之第六級除頻單元 70 所載入的除數訊號 $Di_{<6}$ 與最後除數訊號 $Di_{<7}$ 均為邏輯 0 位準時，則第六級除頻單元 70 會被旁通，且輸出邏輯 0 位準至第五級除頻單元 80 之該第五輸入端 (Ci)。

請參考圖廿二與圖廿三。圖廿二與圖廿三為圖十七中除頻單元 80 之兩實施例電路圖 82 與第二實施例電路圖 84。電路圖 82 與電路圖 84 幾乎完全相同，唯一的不同點僅在於電路圖 84 多了一個及閘 862，可提升電路圖 84 之該第二輸出端 (Mo) 的輸出速度。由於電路圖 84 的邏輯運作方式與電路圖 82 均相同，以下以電路圖 82 為例說明。

電路圖 82 之邏輯運作方式與圖二十中之電路圖 72 很接近，只是電路圖 82 少了一個正反器而已。同樣地，當該

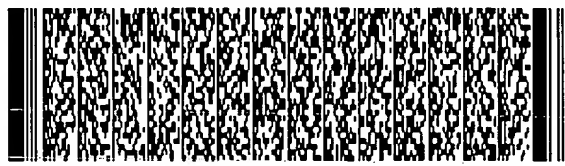
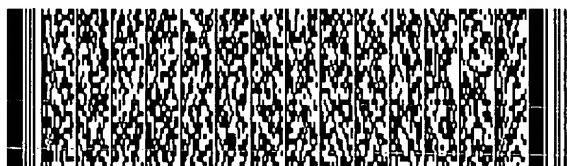


五、發明說明 (37)

第四輸入端 (R1) 接受該重載訊號之邊緣 (於本實施例中為上升緣) 觸發時, 除數訊號 $Di_{<5}$ 會自該第三輸入端 (Di) 載入。若該第五輸入端 (Ci) 所接收到訊號是邏輯 0 位準, 該邏輯 0 位準會經由一反閘 842 轉成邏輯 1 位準, 以重置正反器 832 與正反器 834。因此, 當該第五輸入端 (Ci) 所接收到訊號是邏輯 0 位準時, 除頻單元 80 便會被旁通, 相當於一直處於重置狀態而不進行除頻運作。

此時, 若載入的除數訊號 $Di_{<5}$ 亦為邏輯 0 位準, 則電路圖 82 中的一或閘 852 會自該第三輸出端 (Co) 輸出一邏輯 0 位準, 傳遞至前一級除頻單元之該第五輸入端 (Ci)。因此, 當圖十七中之第五級除頻單元 80 之該第五輸入端 (Ci) 所接收到訊號, 以及該第三輸入端 (Di) 載入的除數訊號 $Di_{<5}$ 均為邏輯 0 時, 則第五級除頻單元 80 會被旁通, 且輸出邏輯 0 位準至第四級除頻單元 80 之該第五輸入端 (Ci), 以旁通第四級除頻單元 80。

由前面電路圖 72 與電路圖 82 運作方式的說明中可得到一個結論: 於本發明之第六實施例中, 當該最後 2 除數訊號 $Di_{<6}$ 與 $Di_{<7}$ 均為邏輯 0 時, 則可程式化多模數除頻器 600 之第六級除頻單元 70 與第五級除頻單元 80 均會被旁通。以此類推下去, 當除數訊號 $Di_{<5}$ 、 $Di_{<6}$ 與 $Di_{<7}$ 均為邏輯 0 時, 則可程式化多模數除頻器 600 之第四級除頻單元 80、第五



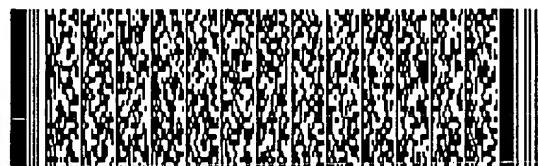
五、發明說明 (38)

級除頻單元 80 以及第六級除頻單元 70 均會被旁通而不進行除頻運作。如此一來，透過該等除數訊號 ($Di_{<1>}$ 、 $Di_{<2>}$ 、 $Di_{<3>}$ 、 \dots 、 $Di_{<7>}$) 之設定，便能擴展可程式化多模數除頻器 600 所能處理的除數值範圍。

舉例而言，當該等除數訊號 $Di_{<7>}$ 、 $Di_{<6>}$ 、 $Di_{<5>}$ 、 \dots 、 $Di_{<1>}$ 依序分別為 0001000 (即 8 的二進位值) 時，表示除數值為 8；當該等除數訊號 $Di_{<7>}$ 、 $Di_{<6>}$ 、 $Di_{<5>}$ 、 \dots 、 $Di_{<1>}$ 依序分別為 0001001 (即 9 的二進位值) 時，表示除數值為 9；當該等除數訊號 $Di_{<7>}$ 、 $Di_{<6>}$ 、 $Di_{<5>}$ 、 \dots 、 $Di_{<1>}$ 依序分別為 0111111 (即 63 的二進位值) 時，表示除數值為 63；當該等除數訊號 $Di_{<7>}$ 、 $Di_{<6>}$ 、 $Di_{<5>}$ 、 \dots 、 $Di_{<1>}$ 依序分別為 1000000 (即 64 的二進位值) 時，表示除數值為 64；當該等除數訊號 $Di_{<7>}$ 、 $Di_{<6>}$ 、 $Di_{<5>}$ 、 \dots 、 $Di_{<1>}$ 依序分別為 1111111 (即 127 的二進位值) 時，表示除數值為 127。

由於可程式化多模數除頻器 600 之最後三級除頻單元都可能被旁通，因此，在圖十七的第六實施例中，以第三級除頻單元 60 之第二輸出端 (Mo) 之輸出脈波 $3'-Mo$ ，作為可程式化多模數除頻器 600 除頻後所輸出之目標脈波 F_{out} 。

在本發明之第六實施例中，最重要的技術特徵在於：只需使那些具有旁通模式的除頻單元 (如除頻單元 70、除



五、發明說明 (39)

頻單元 80) 同步重新載入對應的除數訊號，便能同時達成擴展除數值之應用範圍，與確保除頻後輸出之該目標脈波 F_{out} 之頻率正確性的目的。如此一來，又能進一步簡化電路設計時的複雜性並降低成本。

請注意，在圖十七中，可程式化多模數除頻器 600 的除頻單元個數為 6 個，僅係為了說明上的方便，本發明之可程式化多模數除頻器所使用的除頻單元個數並不限定於 6 個，只要能達成與本發明相近之功能，使用任何個數除頻單元的方式，均屬於本發明之範圍。

請參考圖廿四。圖廿四為本發明之一可程式化除頻器轉換除數之方法的流程圖，其中該可程式化除頻器包含有複數個串接的除頻單元，該方法包含以下步驟：

步驟 900： 開始。

步驟 902： 提供複數個更新除數訊號。

步驟 904： 根據該等更新除數訊號將該等除頻單元分別切換於除 2 或除 3 的模式。

步驟 906： 同步重置至少部分除頻單元。

步驟 908： 結束。

為說明圖廿四中本發明之可程式化除頻器轉換除數之方法，請再參考圖十二與圖十七。於步驟 902 中，一新的除數值被轉成一二進位值，而該二進位值的每一位元，分



五、發明說明 (40)

別備便於每一除頻單元之該第三輸入端 (Di)。接著，重新載入對應的更新除數訊號至每一除頻單元。在圖十七之可程式化多模數除頻器 600 中，每一除頻單元 60 係於其工作時脈（該第一輸入端 (Fi) 所接收到之脈波）之上升緣觸發時，載入對應的更新除數訊號 ($Di_{<1>}$ 至 $Di_{<3>}$)，而第四級除頻單元 80、第五級除頻單元 80 以及第六級除頻單元 70，則分別於該第四輸入端 ($R1$) 接受該重載訊號之上升緣觸發時，載入對應的更新除數訊號 ($Di_{<4>}$ 至 $Di_{<7>}$)。而在圖十三之可程式化多模數除頻器 500 中，每一除頻單元係分別於其第四輸入端 ($R1$) 接受該重載訊號之上升緣觸發時，同步載入對應的更新除數訊號 ($Di_{<1>}$ 至 $Di_{<7>}$)。

於步驟 904 中，每一除頻單元係根據其所載入的更新除數訊號，分別切換於除 2 或除 3 的模式。在圖十二與圖十七之兩實施例中，該等更新除數訊號另可決定旁通部分具有旁通模式的除頻單元（如除頻單元 40、50、70、80）。亦即，當一具有旁通模式之除頻單元，其所有後級的除頻單元所接收到的更新除數訊號均為邏輯 0 時，則該除頻單元將被旁通而不進行除頻動作。其中最後一級除頻單元 40（或除頻單元 50）係由該最後除數訊號決定是否旁通。

在可程式化多模數除頻器 600 中，假設每一除頻單元載入



五、發明說明 (41)

對應的更新除數訊號後，第五級除頻單元 80 與第六級除頻單元 70 被旁通，則於步驟 906 中，被旁通的第五級除頻單元 80 與第六級除頻單元 70 將被同步重置，以停止除頻動作。而在可程式化多模數除頻器 500 中，假設每一除頻單元載入對應的更新除數訊號後，第五級除頻單元 50 與第六級除頻單元 40 被旁通，於步驟 906 中，被旁通的除頻單元都將被同步重置，並於重置完成後，分別依據所載入的更新除數訊號重新進行除頻動作。

如此一來，根據本發明之可程式化除頻器轉換除數的方法，可程式化除頻器於轉換除數後，該等被旁通的除頻單元將立即停止除頻動作，而沒有被旁通的該等除頻單元，將於重置完成後依據新載入的除數訊號重新進行除頻。因此，轉換除數後，可程式化除頻器所輸出的除頻後之該目標脈波 F_{out} 之頻率，將確為該來源脈波 F_{in} 之頻率除以更新後之除數值的結果。

總結以上說明，本發明之方法有以下技術特徵：(1) 本發明擴展可程式化多模數除頻器之除數範圍的方法，僅需使用簡單的正反器與邏輯閘，不需額外的可程式化計數器；(2) 本發明之可程式化多模數除頻器利用重置除頻單元的方式，使重置後的除頻單元依據重置開始時的除數訊號進行除頻，以維持除頻後所輸出之脈波頻率的正確性；(3) 本發明之可程式化多模數除頻器可同時利



五、發明說明 (42)

用同步重置每一除頻單元與同步重載更新除數訊號於每一除頻單元方式，進一步使除頻後之該目標脈波為一連續輸出之脈波；(4)本發明之可程式化多模數除頻器使用模組化的除頻單元，可有效降低電路設計時的複雜性與成本。

以上所述僅為本發明之較佳實施例，凡本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為本發明之可程式化多模數除頻器之第一實施例的示意圖

圖二為圖一中除頻單元 10 之一實施例電路圖

圖三為圖一中除頻單元 10 之另一實施例電路圖

圖四為本發明之可程式化多模數除頻器之第二實施例的示意圖

圖五為圖四中除頻單元 20 之一實施例電路圖

圖六為圖四中除頻單元 20 之另一實施例電路圖

圖七為本發明之可程式化多模數除頻器之第三實施例的示意圖

圖八為本發明之可程式化多模數除頻器之第四實施例的示意圖

圖九為圖七與圖八中除頻單元 30 之一實施例電路圖

圖十為圖七與圖八中除頻單元 30 之另一實施例電路圖

圖十一為圖八中本發明之可程式化多模數除頻器 400 之時序圖

圖十二為本發明之可程式化多模數除頻器之第五實施例的示意圖

圖十三為圖十二中除頻單元 40 之一實施例電路圖

圖十四為圖十二中除頻單元 40 之另一實施例電路圖

圖十五為圖十二中除頻單元 50 之一實施例電路圖

圖十六為圖十二中除頻單元 50 之另一實施例電路圖



圖式簡單說明

圖十七為本發明之可程式化多模數除頻器之第六實施例的示意圖

圖十八為圖十七中除頻單元 60 之一實施例電路圖

圖十九為圖十七中除頻單元 60 之另一實施例電路圖

圖二十為圖十七中除頻單元 70 之一實施例電路圖

圖廿一為圖十七中除頻單元 70 之另一實施例電路圖

圖廿二為圖十七中除頻單元 80 之一實施例電路圖

圖廿三為圖十七中除頻單元 80 之另一實施例電路圖

圖廿四為本發明之可程式化除頻器轉換除數之方法的流程圖

圖式之符號說明

100、200、300、400、500、600 可程式化多模數除頻器

10、20、30、40、50、60、70、80 除頻單元

12、14 除頻單元 10 之電路圖

22、24 除頻單元 20 之電路圖

32、34 除頻單元 30 之電路圖

42、44 除頻單元 40 之電路圖

52、54 除頻單元 50 之電路圖

62、64 除頻單元 60 之電路圖

72、74 除頻單元 70 之電路圖

82、84 除頻單元 80 之電路圖

2、4、132、134、136、232、234、732、734、736、



圖式簡單說明

832、834 D型正反器

142、144、242、742、842 反開

152、154、252、254、256、752、852 或開

162、164、166、262、762、862 及開

450 時序圖



六、申請專利範圍

1.一種用於一可程式化多模數除頻器轉換除數之方法，其中該除頻器包含有複數個串接（cascade）的除頻單元，該方法包含有以下步驟：

- (a) 提供複數個更新除數訊號；
- (b) 根據該等更新除數訊號將該等除頻單元分別切換於除 2 或除 3 的模式；以及
- (c) 同步重置（reset）至少部分除頻單元。

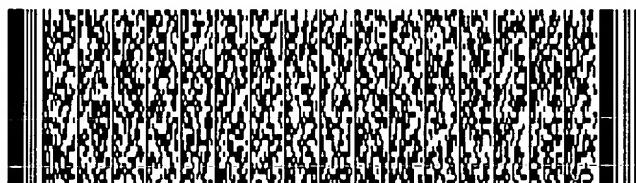
2.如申請專利範圍第 1 項所述之方法，其中步驟 (c) 另包含有：
同步重置所有的除頻單元。

3.如申請專利範圍第 1 項所述之方法，其另包含有：
重新載入（reload）該等更新除數訊號至該等除頻單元。

4.如申請專利範圍第 3 項所述之方法，其另包含有：
同步重新載入該等更新除數訊號至該等除頻單元。

5.如申請專利範圍第 3 項所述之方法，其中該等除頻單元另包含有至少一具有旁通模式的除頻單元，而該方法中另包含有：

根據該等更新除數訊號以決定是否旁通（Bypass）該至少一具有旁通模式的除頻單元之中的部分除頻單元，以



六、申請專利範圍

使得被旁通的除頻單元不進行除頻之動作。

6.如申請專利範圍第5項所述之方法，其中步驟(c)另包含有：

同步重置每一被旁通的除頻單元。

7.如申請專利範圍第5項所述之方法，其中步驟(c)另包含有：

同步重置所有除頻單元。

8.如申請專利範圍第5項所述之方法，其中重新載入另包含有：

同步重新載入該等更新除數訊號至該等被旁通的除頻單元。

9.如申請專利範圍第5項所述之方法，其中重新載入另包含有：

同步重新載入該等更新除數訊號至所有的除頻單元。

10.如申請專利範圍第5項所述之方法，其另包含有：

使用一控制電路，耦合於被旁通之除頻單元，用來提供一重置訊號。

11.如申請專利範圍第5項所述之方法，其另包含有：



六、申請專利範圍

使用一控制電路，耦合於所有除頻單元，用來提供一重置訊號。

12.如申請專利範圍第11項所述之方法，其中步驟(c)中另包含有：

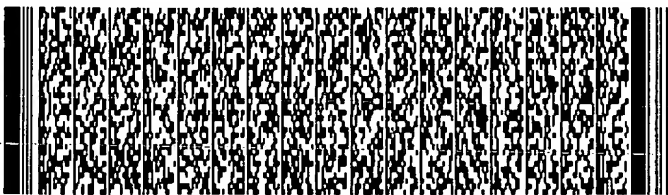
當該等被旁通之除頻單元載入相對應之更新除數訊號後，該控制電路會輸出該重置訊號至該等被旁通之除頻單元，以及該等被旁通之除頻單元的前一級具有旁通模式之除頻單元。

13.如申請專利範圍第5項所述之方法，其中步驟(c)中另包含有：

當一具有旁通模式的除頻單元所載入之更新除數訊號，以及該具有旁通模式的除頻單元之後級所有具旁通模式的除頻單元所輸入的更新除數訊號均為邏輯0時，則旁通該具有旁通模式的除頻單元。

14.一種可程式化多模數除頻器，用來依據複數個更新除數訊號將一來源脈波進行除頻以輸出一除頻後之目標脈波，該可程式化多模數除頻器包含有：

至少一第一除頻單元，該至少一第一除頻單元係相互串接，且每一第一除頻單元具有一第一輸入端(Fi)、一第二輸入端(Mi)、一第三輸入端(Di)、一第四輸入端(Rs)、一第一輸出端(Fo)、及一第二輸出端



六、申請專利範圍

(Mo)，該第一輸出端(Fo)係耦接於後一級第一除頻單元之第一輸入端(Fi)，該第二輸入端(Mi)係耦接於後一級第一除頻單元之第二輸出端(Mo)，該第三輸入端(Di)用以接收一相對應之更新除數訊號，以選擇該第一除頻單元進行除2或除3的模式，該第四輸入端(Rs)用以接受一重置訊號之觸發，以同步重置該第一除頻單元，第一級第一除頻單元之第一輸入端(Fi)係耦接於該來源脈波，最後一級第一除頻單元之第二輸入端(Mi)係耦接於Vcc(或最後一除數訊號為邏輯1)；其中該可程式化多模數除頻器，係根據該重置訊號以同步重置每一第一除頻單元之除頻運作，使每一第一除頻單元於重置完成後，依據重置訊號觸發當時已載入之更新除數訊號進行除2或除3模式的除頻動作，而該可程式化多模數除頻器除頻後之該目標脈波，係由最後一級第一除頻單元之該第二輸出端(Mo)(或該第一輸出端(Fo))所輸出。

15.如申請專利範圍第14項所述之可程式化多模數除頻器，其中該至少一第一除頻單元係操作如以下方式：

- (a) 不論該第二輸入端(Mi)是在邏輯0或1，當該第一輸出端(Fo)是在邏輯0且該第三輸入端(Di)是在邏輯0時，經由該第一輸入端(Fi)的時脈訊號正緣端觸發，該第一輸出端(Fo)會輸出除2後的訊號；
- (b) 當該第二輸入端(Mi)是在邏輯1、該第一輸出端



六、申請專利範圍

(Fo) 是在邏輯 0，以及該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號；以及

(e) 當該第四輸入端 (Rs) 接收到的該重置訊號在邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號；此時若該第二輸入端 (Mi) 是在邏輯 1，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

16. 如申請專利範圍第 14 項所述之可程式化多模數除頻器，其中該至少一第一除頻單元係操作如以下方式：

(a) 不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸出端 (Mo) 是在邏輯 1 且該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；



六、申請專利範圍

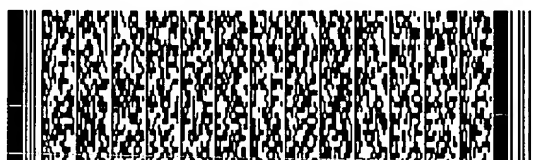
(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

(e) 當該第四輸入端 (Rs) 接收到的該重置訊號在邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號；此時若該第二輸入端 (Mi) 是在邏輯 1，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

17. 如申請專利範圍第 14 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：

一具有旁通模式之第二除頻單元，該第二除頻單元係串接於該至少一第一除頻單元，該第二除頻單元具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，該第一輸入端 (Fi) 耦接於最後一級第一除頻單元之第一輸出端 (Fo)，該第二輸入端 (Mi) 係耦接於 Vcc，該第三輸入端 (Di) 用以接收一相對應之除數訊號，該第四輸入端 (Rs) 用以接受一重置訊號之觸發，以同步重置該第二除頻單元，該第五輸入端 (Ci) 係用以接收該最後除數訊號，以決定該第二除



六、申請專利範圍

頻單元是否被旁通，該第二輸出端 (Mo) 係耦接於最後一級第一除頻單元之第二輸入端 (Mi)；

其中該第二除頻單元係於同步重置完成後，依據該第三輸入端 (Di) 所接收到之該除數訊號，切換於除 2 或除 3 之除頻模式，而當該第五輸入端 (Ci) 所接收到之該最後除數訊號之位準為一旁通模式致能態時，該第二除頻單元將被旁通而不進行任何除頻動作。

18. 如申請專利範圍第 17 項所述之可程式化多模數除頻器，其中該第二除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0 且該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一

六、申請專利範圍

輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；

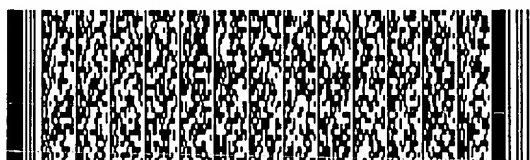
(e) 當該第四輸入端 (Rs) 接收到的該重置訊號在邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號；以及

(f) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

19. 如申請專利範圍第 17 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：

至少一具有旁通模式之第三除頻單元，該至少一第三除頻單元係串接於該至少一第一除頻單元與該第二除頻單元之間，且每一第三除頻單元具有一第一輸入端

(Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，該第一輸出端 (Fo) 係耦接於下一級第三除頻單元之第一輸入端 (Fi)，該第二輸入端 (Mi) 係耦接於下一級第三除頻單元之該第二輸出端 (Mo)，該第三輸入端 (Di) 係用以接收一相對應之除數訊號，該第四輸入端 (Rs) 係用以接受一重置訊號之觸發，以同步重置該第三除頻單元，該第五輸入端 (Ci) 係耦接於下一級第三除頻單元之該第三輸出端 (Co)，用以接收一旁



六、申請專利範圍

通模式致能訊號，以決定該第三除頻單元是否被旁通，第一級第三除頻單元之該第一輸入端 (Fi) 耦接於最後一級第一除頻單元之第一輸出端 (Fo)，第一級第三除頻單元之該第二輸出端 (Mo) 耦接於最後一級第一除頻單元之第二輸入端 (Mi)，最後一級第三除頻單元之該第一輸出端 (Fo) 係耦接於該第二除頻單元之第一輸入端 (Fi)，最後一級第三除頻單元之該第二輸入端 (Mi) 係耦接於該第二除頻單元之第二輸出端 (Mo)；其中該至少一第三除頻單元係根據該第三輸入端 (Di) 所接收到之該除數訊號，切換於除 2 或除 3 之除頻模式，而當該第五輸入端 (Ci) 所接收到之該旁通模式致能訊號為致能態時，該至少一第三除頻單元將被旁通而不進行任何除頻動作。

20. 如申請專利範圍第 19 項所述之可程式化多模數除頻器，其中該至少一第三除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0 且該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端



六、申請專利範圍

(Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 均會輸出邏輯 0 訊號；

(e) 當該第四輸入端 (Rs) 接收到的該重置訊號在邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號；以及

(f) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

21. 如申請專利範圍第 14 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有一控制電路，用以提供該重置訊號。

22. 一種可程式化多模數除頻器，用來依據複數個更新除數訊號將一來源脈波進行除頻以輸出一除頻後之目標脈波，該可程式化多模數除頻器包含有：

至少一第四除頻單元，該至少一第四除頻單元係相互串接，且每一第四除頻單元具有一第一輸入端 (Fi)、一



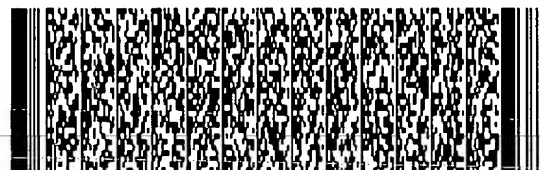
六、申請專利範圍

第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (R1)、一第一輸出端 (Fo)、及一第二輸出端 (Mo)，該第一輸出端 (Fo) 係耦接於後一級除頻單元之第一輸入端 (Fi)，該第二輸入端 (Mi) 係耦接於後一級除頻單元之第二輸出端 (Mo)，該第三輸入端 (Di) 用以接收一更新除數訊號，以選擇該第四除頻單元進行除 2 或除 3 的模式，該第四輸入端 (R1) 係用以接受一同步重載訊號之觸發，以使該第三輸入端 (Di) 重新載入該更新除數訊號，第一級第四除頻單元之第一輸入端 (Fi) 係耦接於該來源脈波，最後一級第四除頻單元之第二輸入端 (Mi) 係耦接於 Vcc (或最後一除數訊號為邏輯 1) ；

其中該可程式化多模數除頻器係依據該重載訊號之觸發，以使每一第四除頻單元同步自其第三輸入端 (Di) 重新載入對應之更新除數訊號，並依據同步載入之該更新除數訊號切換除頻運作於除 2 或除 3 的模式，而該可程式化多模數除頻器除頻後之該目標脈波，係由最後一級第四除頻單元之該第二輸出端 (Mo) (或該第一輸出端 (Fo)) 所輸出。

23. 如申請專利範圍第 22 項所述之可程式化多模數除頻器，其中該至少一第四除頻單元係操作如以下方式：

(a) 不論第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第四輸入端 (R1) 接受該重



六、申請專利範圍

載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

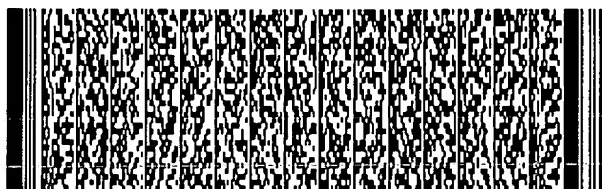
(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；以及

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號。

24. 如申請專利範圍第 22 項所述之可程式化多模數除頻器，其中該至少一第四除頻單元係操作如以下方式：

(a) 不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸出端 (Mo) 是在邏輯 1 且當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是



六、申請專利範圍

在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；以及

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號。

25. 如申請專利範圍第 22 項所述之可程式化多模數除頻器，其中每一第四除頻單元之該第四輸入端 (R1)，係耦接於最後一級第四除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。

26. 如申請專利範圍第 22 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：

一具有旁通模式之第五除頻單元，該第五除頻單元係串接於該至少一第四除頻單元，該第五除頻單元具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (R1)、一第五輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，該第一輸入端 (Fi) 耦接於最後一級第四除頻單元之第一輸出端 (Fo)，該第二輸入端 (Mi) 係耦接於 Vcc，該第三輸入端 (Di) 用以接收一相



六、申請專利範圍

對應之除數訊號，該第四輸入端（R1）係用以接受一同步重載訊號之觸發，以使該第三輸入端（Di）重新載入該更新除數訊號，該第五輸入端（Ci）係耦接於該最後除數訊號，以決定該第五除頻單元是否被旁通，該第二輸出端（Mo）係耦接於最後一級第四除頻單元之第二輸入端（Mi）；

其中該第五除頻單元係依據該重載訊號之觸發，以同步自其第三輸入端（Di）重新載入對應之更新除數訊號，並依據同步載入之該更新除數訊號切換除頻運作於除2或除3的模式，而當該第五輸入端（Ci）所接收到之該最後除數訊號之位準為一旁通模式致能態時，該第五除頻單元將被旁通而不進行任何除頻動作。

27.如申請專利範圍第26項所述之可程式化多模數除頻器，其中該第五除頻單元係操作如以下方式：

(a)不論該第二輸入端（Mi）或該第二輸出端（Mo）是在邏輯0或1，當該第一輸出端（Fo）是在邏輯0，或當該第四輸入端（R1）接受該重載訊號觸發後，該第三輸入端（Di）是在邏輯0時，經由該第一輸入端（Fi）的時脈訊號正緣端觸發，該第一輸出端（Fo）會輸出除2後的訊號；

(b)當該第一輸出端（Fo）是在邏輯0且該第二輸入端（Mi）是在邏輯1即該第二輸出端（Mo）是在邏輯1，以及當該第四輸入端（R1）接受該重載訊號觸發後，該第



六、申請專利範圍

三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

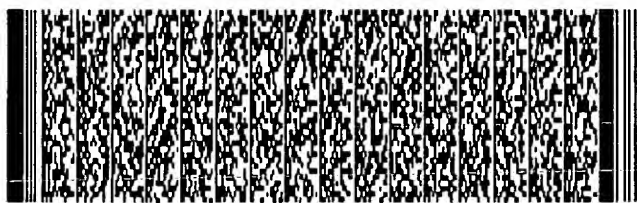
(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

(e) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

28. 如申請專利範圍第 26 項所述之可程式化多模數除頻器，其中該第五除頻單元之該第四輸入端 (R1)，係耦接於最後一級第四除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。

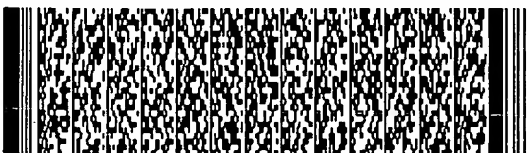
29. 如申請專利範圍第 26 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：
至少一具有旁通模式之第六除頻單元，該至少一第六除頻單元係串接於該至少一第四除頻單元與該第五除頻單元之間，且每一第六除頻單元具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、



六、申請專利範圍

一 第四輸入端 (R1)、一第五輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸出端 (Mo)、以及一第三輸出端 (Co)，該第一輸出端 (Fo) 係耦接於下一級第六除頻單元之第一輸入端 (Fi)，該第二輸入端 (Mi) 係耦接於下一級第六除頻單元之該第二輸出端 (Mo)，該第三輸入端 (Di) 係用以接收一相對應之更新除數訊號，該第四輸入端 (R1) 係用以接受一同步重載訊號之觸發，以使該第三輸入端 (Di) 重新載入該更新除數訊號，該第五輸入端 (Ci) 係耦接於下一級第六除頻單元之該第三輸出端 (Co)，用以接收一旁通模式致能訊號，以決定該第六除頻單元是否被旁通，第一級第六除頻單元之該第一輸入端 (Fi) 耦接於最後一級第四除頻單元之第一輸出端 (Fo)，第一級第六除頻單元之該第二輸出端 (Mo) 耦接於最後一級第四除頻單元之第二輸入端 (Mi)，最後一級第六除頻單元之該第一輸出端 (Fo) 係耦接於該第五除頻單元之第一輸入端 (Fi)，最後一級第六除頻單元之該第二輸入端 (Mi) 係耦接於該第五除頻單元之第二輸出端 (Mo)；

其中該至少一第六除頻單元係依據該重載訊號之觸發，以同步自其第三輸入端 (Di) 重新載入對應之更新除數訊號，並依據同步載入之該更新除數訊號切換除頻運作於除 2 或除 3 的模式，而當該第六輸入端 (Ci) 所接收到之該旁通模式致能訊號為致能態時，該至少一第六除頻單元將被旁通而不進行任何除頻動作。



六、申請專利範圍

30.如申請專利範圍第 29項所述之可程式化多模數除頻器，其中該至少一第六除頻單元係操作如以下方式：

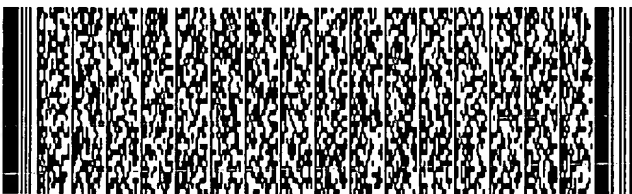
(a) 不論第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

(e) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

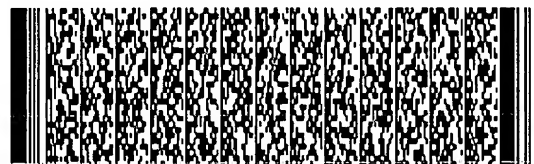


六、申請專利範圍

31.如申請專利範圍第29項所述之可程式化多模數除頻器，其中每一第六除頻單元之該第四輸入端（R1），係耦接於最後一級第四除頻單元之該第二輸出端（Mo），以除頻後之該目標脈波作為該重載訊號。

32.一種可程式化多模數除頻器，用來依據複數個更新除數訊號將一來源脈波進行除頻以輸出一除頻後之目標脈波，該可程式化多模數除頻器包含有：

至少一第七除頻單元，該至少一第七除頻單元係相互串接，且每一第七除頻單元具有一第一輸入端（Fi）、一第二輸入端（Mi）、一第三輸入端（Di）、一第四輸入端（Rs）、一第五輸入端（R1）、一第一輸出端（Fo）、及一第二輸出端（Mo），該第一輸出端（Fo）係耦接於後一級除頻單元之第一輸入端（Fi），該第二輸入端（Mi）係耦接於後一級除頻單元之第二輸出端（Mo），該第三輸入端（Di）用以接收一更新除數訊號，以選擇該第七除頻單元進行除2或除3的模式，該第四輸入端（Rs）用以接受一同步重置訊號之觸發，以同步重置該第七除頻單元，該第五輸入端（R1）係用以接受一同步重載訊號之觸發，以使該第三輸入端（Di）重新載入該更新除數訊號，第一級第七除頻單元之第一輸入端（Fi）係耦接於該來源脈波，最後一級第七除頻單元之第二輸入端（Mi）係耦接於Vcc（或最後一除數訊號



六、申請專利範圍

為邏輯 1) ；

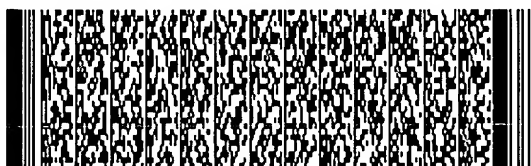
其中該可程式化多模數除頻器依據該重載訊號之觸發，使每一第七除頻單元同步自其第三輸入端 (Di) 重新載入對應之更新除數訊號，該可程式化多模數除頻器另依據該重置訊號以同步重置每一第七除頻單元之除頻運作，使每一第七除頻單元於重置完成後，依據重置訊號觸發當時已載入之更新除數訊號進行除 2 或除 3 模式的除頻動作，而該可程式化多模數除頻器除頻後之該目標脈波，係由最後一級第七除頻單元之該第二輸出端 (Mo) (或該第一輸出端 (Fo)) 所輸出。

33. 如申請專利範圍第 32 項所述之可程式化多模數除頻器，其中該至少一第七除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一



六、申請專利範圍

輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

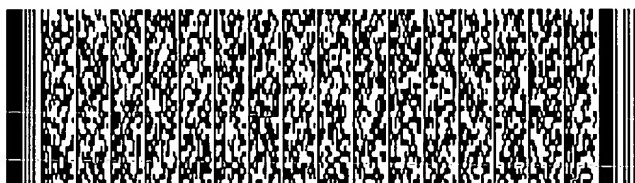
(e) 當該第四輸入端 (Rs) 所接收之該重置訊號是邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號；此時若該第二輸入端 (Mi) 是在邏輯 1，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

34. 如申請專利範圍第 32 項所述之可程式化多模數除頻器，其中該至少一第七除頻單元係操作如以下方式：

(a) 不論該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸出端 (Mo) 是在邏輯 1 且當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；



六、申請專利範圍

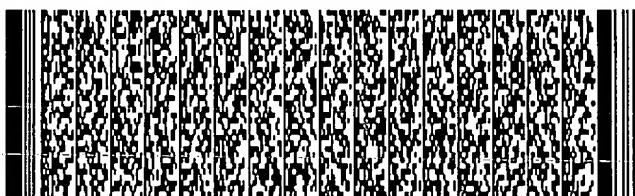
(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

(e) 當該第四輸入端 (Rs) 所接收之該重置訊號是在邏輯 1 時，該第一輸出端 (Fo) 輸出邏輯 0 訊號；此時若該第二輸入端 (Mi) 是在邏輯 1，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

35. 如申請專利範圍第 32 項所述之可程式化多模數除頻器，其中每一第七除頻單元之該第四輸入端 (R1)，係耦接於最後一級第七除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。

36. 如申請專利範圍第 32 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有一控制電路，用以提供該重置訊號。

37. 如申請專利範圍第 32 項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：
一具有旁通模式之第八除頻單元，該第八除頻單元係串接於該至少一第七除頻單元，該第八除頻單元具有一第一輸入端 (Fi)、一第二輸入端 (Mi)、一第三輸入端 (Di)、一第四輸入端 (Rs)、一第五輸入端 (R1)、一第六輸入端 (Ci)、一第一輸出端 (Fo)、一第二輸



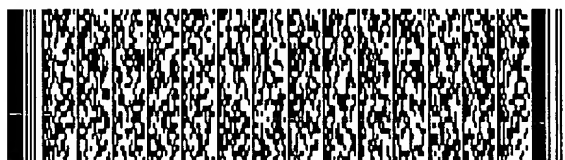
六、申請專利範圍

出端 (Mo)、以及一第三輸出端 (Co)，該第一輸入端 (Fi) 耦接於最後一級第七除頻單元之第一輸出端 (Fo)，該第二輸入端 (Mi) 係耦接於 Vcc，該第三輸入端 (Di) 用以接收一相對應之除數訊號，該第四輸入端 (Rs) 用以接受一重置訊號之觸發，以同步重置該第八除頻單元，該第五輸入端 (R1) 係用以接受一同步重載訊號之觸發，以使該第三輸入端 (Di) 重新載入該更新除數訊號，該第六輸入端 (Ci) 係耦接於該最後除數訊號，以決定該第八除頻單元是否被旁通，該第二輸出端 (Mo) 係耦接於最後一級第七除頻單元之第二輸入端 (Mi)；

其中該第八除頻單元係依據該重載訊號之觸發，以同步自其第三輸入端 (Di) 重新載入一對應之更新除數訊號，並於同步重置完成後，依據該同步載入之更新除數訊號切換除頻運作於除 2 或除 3 的模式，而當該第六輸入端 (Ci) 所接收到之該最後除數訊號之位準為一旁通模式致能態時，該第八除頻單元將被旁通而不進行任何除頻動作。

38. 如申請專利範圍第 37 項所述之可程式化多模數除頻器，其中該第八除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入



六、申請專利範圍

端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

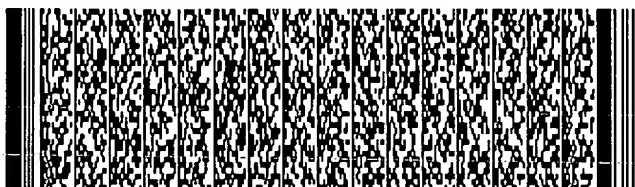
(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；

(e) 當該第四輸入端 (Rs) 接收到的該重置訊號在邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號；以及

(f) 當該第六輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

39. 如申請專利範圍第 37 項所述之可程式化多模數除頻器，其中該第八除頻單元之該第五輸入端 (R1)，係耦



六、申請專利範圍

接於最後一級第七除頻單元之該第二輸出端 (Mo) ， 以除頻後之該目標脈波作為該重載訊號。

40.如申請專利範圍第37項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：
至少一具有旁通模式之第九除頻單元，該至少一第九除頻單元係串接於該至少一第七除頻單元與該第八除頻單元之間，且每一第九除頻單元具有一第一輸入端 (Fi) 、一第二輸入端 (Mi) 、一第三輸入端 (Di) 、一第四輸入端 (Rs) 、一第五輸入端 (Rl) 、一第六輸入端 (Ci) 、一第一輸出端 (Fo) 、一第二輸出端 (Mo) 、以及一第三輸出端 (Co) ，該第一輸出端 (Fo) 係耦接於下一級第九除頻單元之第一輸入端 (Fi) ，該第二輸入端 (Mi) 係耦接於下一級第九除頻單元之該第二輸出端 (Mo) ，該第三輸入端 (Di) 係用以接收一相對應之更新除數訊號，該第四輸入端 (Rs) 係用以接受一重置訊號之觸發，以同步重置該第九除頻單元，該第五輸入端 (Rl) 係用以接受一同步重載訊號之觸發，以使該第三輸入端 (Di) 重新載入該更新除數訊號，該第六輸入端 (Ci) 係耦接於下一級第九除頻單元之該第三輸出端 (Co) ，用以接收一旁通模式致能訊號，以決定該第九除頻單元是否被旁通，第一級第九除頻單元之該第一輸入端 (Fi) 耦接於最後一級第七除頻單元之第一輸出端 (Fo) ，第一級第九除頻單元之該第



六、申請專利範圍

二輸出端 (Mo) 耦接於最後一級第七除頻單元之第二輸入端 (Mi)，最後一級第九除頻單元之該第一輸出端 (Fo) 係耦接於該第八除頻單元之第一輸入端 (Fi)，最後一級第九除頻單元之該第二輸入端 (Mi) 係耦接於該第八除頻單元之第二輸出端 (Mo)；

其中該至少一第九除頻單元係依據該重載訊號之觸發，以同步自其第三輸入端 (Di) 重新載入一對應之更新除數訊號，並於同步重置完成後，依據該同步載入之更新除數訊號切換除頻運作於除 2 或除 3 的模式，而當該第六輸入端 (Ci) 所接收到之該旁通模式致能訊號為致能態時，該至少一第九除頻單元將被旁通而不進行任何除頻動作。

41. 如申請專利範圍第 40 項所述之可程式化多模數除頻器，其中該至少一第九除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第五輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及當該第五輸入端 (R1) 接受該重載訊號觸發後，該第



六、申請專利範圍

三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

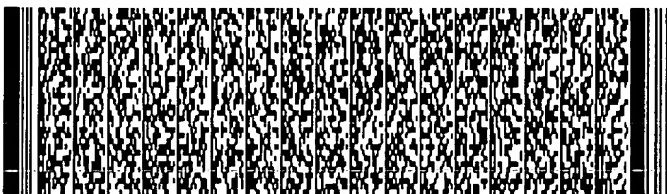
(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；

(e) 當該第四輸入端 (Rs) 所接收之該重置訊號是邏輯 1 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號；此時若該第二輸入端 (Mi) 是在邏輯 1，則該第二輸出端 (Mo) 會輸出邏輯 1 訊號；以及

(f) 當該第六輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

43. 如申請專利範圍第 40 項所述之可程式化多模數除頻器，其中每一第九除頻單元之該第四輸入端 (R1)，係耦接於最後一級第七除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。

44. 一種可程式化多模數除頻器，用來依據複數個更新除數訊號將一來源脈波進行除頻以輸出一除頻後之目標脈



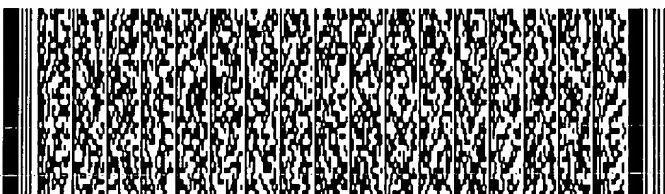
六、申請專利範圍

波，該可程式化多模數除頻器包含有：

至少一第十除頻單元，該至少一第十除頻單元係相互串接，且每一第十除頻單元具有一第一輸入端（Fi）、一第二輸入端（Mi）、一第三輸入端（Di）、一第一輸出端（Fo）、及一第二輸出端（Mo），該第一輸出端（Fo）係耦接於後一級第十除頻單元之第一輸入端（Fi），該第二輸入端（Mi）係耦接於後一級第十除頻單元之第二輸出端（Mo），該第三輸入端（Di）用以接受一更新除數訊號，以選擇該第十除頻單元進行除2或除3的模式，第一級第十除頻單元之第一輸入端（Fi）係耦接於該來源脈波；以及

一第十一除頻單元，具有一第一輸入端（Fi）、一第二輸入端（Mi）、一第三輸入端（Di）、一第四輸入端（R1）、一第五輸入端（Ci）、一第一輸出端（Fo）、一第二輸出端（Mo）、及一第三輸出端（Co），該第一輸入端（Fi）耦接於最後一級第十除頻單元之第一輸出端（Fo），該第二輸入端（Mi）係耦接於Vcc，該第三輸入端（Di）用以接收一相對應之除數訊號，該第四輸入端（R1）係用以接受一同步重載訊號之觸發，以使該第三輸入端（Di）重新載入該更新除數訊號，該第五輸入端（Ci）係耦接於該最後除數訊號，以決定該第十一除頻單元是否被旁通，該第二輸出端（Mo）係耦接於最後一級第十除頻單元之第二輸入端（Mi）；

其中該可程式化多模數除頻器係依據該等更新除數訊



六、申請專利範圍

號，分別切換每一除頻單元於除 2 或除 3 的模式，並於接受該重載訊號之觸發時，使該第十一除頻單元自其第三輸入端 (Di) 重新載入對應之更新除數訊號，且當該第十一除頻單元之第五輸入端 (Ci) 所接收到之該最後除數訊號之位準為一旁通模式致能態時，該第十一除頻單元將被旁通而不進行任何除頻動作，而該可程式化多模數除頻器除頻後之該目標脈波，係由最後一級第十除頻單元之該第二輸出端 (Mo) (或該第一輸出端 (Fo)) 所輸出。

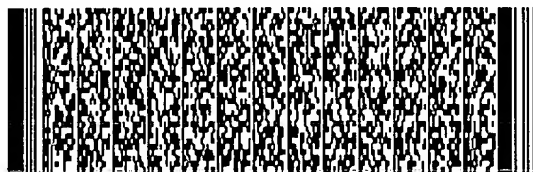
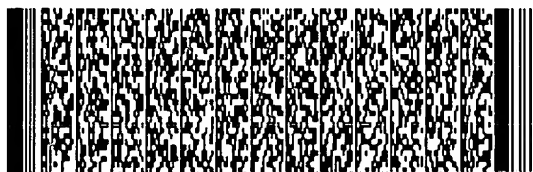
45. 如申請專利範圍第 44 項所述之可程式化多模數除頻器，其中該至少一第十除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0 或該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第二輸入端 (Mi) 是在邏輯 1、該第一輸出端 (Fo) 是在邏輯 0，以及該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；以及

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸



六、申請專利範圍

出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號。

46. 如申請專利範圍第 44 項所述之可程式化多模數除頻器，其中該至少一第十除頻單元係操作如以下方式：

(a) 不論該第二輸出端 (Mo) 是在邏輯 0 (或 1) 或該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

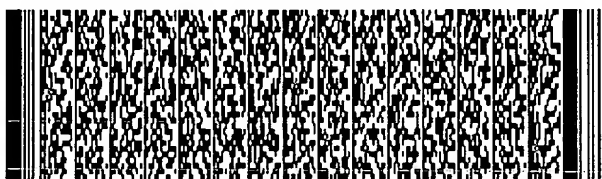
(b) 當該第二輸出端 (Mo) 是在邏輯 1 且該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；以及

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號。

47. 如申請專利範圍第 44 項所述之可程式化多模數除頻器，其中該第十一除頻單元係操作如以下方式：

(a) 不論該第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第



六、申請專利範圍

四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

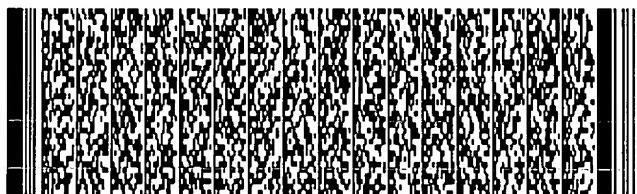
(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

(e) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

48. 如申請專利範圍第 44 項所述之可程式化多模數除頻器，其中該第十一除頻單元之該第四輸入端 (R1)，係耦接於最後一級第十除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。



六、申請專利範圍

49.如申請專利範圍第44項所述之可程式化多模數除頻器，其中該可程式化多模數除頻器另包含有：

至少一具有旁通模式之第十二除頻單元，該至少一第十二除頻單元係串接於該至少一第十除頻單元與該第十一除頻單元之間，且每一第十二除頻單元具有一第一輸入端（Fi）、一第二輸入端（Mi）、一第三輸入端（Di）、一第四輸入端（R1）、一第五輸入端（Ci）、一第一輸出端（Fo）、一第二輸出端（Mo）、以及一第三輸出端（Co），該第一輸出端（Fo）係耦接於下一級第十二除頻單元之第一輸入端（Fi），該第二輸入端（Mi）係耦接於下一級第十二除頻單元之該第二輸出端（Mo），該第三輸入端（Di）係用以接收一相對應之更新除數訊號，該第四輸入端（R1）係用以接受一同步重載訊號之觸發，以使該第三輸入端（Di）重新載入該更新除數訊號，該第五輸入端（Ci）係耦接於下一級第十二除頻單元之該第三輸出端（Co），用以接收一旁通模式致能訊號，以決定該第十二除頻單元是否被旁通，最後一級第十二除頻單元之該第一輸入端（Fi）耦接於最後一級第十除頻單元之第一輸出端（Fo），最後一級第十二除頻單元之該第二輸出端（Mo）耦接於最後一級第十除頻單元之第二輸入端（Mi），最後一級第十二除頻單元之該第一輸出端（Fo）係耦接於該第十一除頻單元之第一輸入端（Fi），最後一級第十二除頻單元之該第二輸



六、申請專利範圍

入端 (Mi) 係耦接於該第十一除頻單元之第二輸出端 (Mo) ；

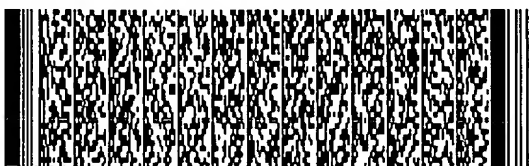
其中該至少一第十二除頻單元係依據該重載訊號之觸發，以同步自其第三輸入端 (Di) 重新載入對應之更新除數訊號，並依據同步載入之該更新除數訊號切換除頻運作於除 2 或除 3 的模式，而當該第五輸入端 (Ci) 所接收到之該旁通模式致能訊號為致能態時，該至少一第十二除頻單元將被旁通而不進行任何除頻動作。

50. 如申請專利範圍第 49 項所述之可程式化多模數除頻器，其中該至少一第十二除頻單元係操作如以下方式：

(a) 不論第二輸入端 (Mi) 或該第二輸出端 (Mo) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 0，或當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 0 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 2 後的訊號；

(b) 當該第一輸出端 (Fo) 是在邏輯 0 且該第二輸入端 (Mi) 是在邏輯 1 即該第二輸出端 (Mo) 是在邏輯 1，以及當該第四輸入端 (R1) 接受該重載訊號觸發後，該第三輸入端 (Di) 是在邏輯 1 時，經由該第一輸入端 (Fi) 的時脈訊號正緣端觸發，該第一輸出端 (Fo) 會輸出除 3 後的訊號；

(c) 當該第二輸入端 (Mi) 是在邏輯 0 (或 1) 且該第一



六、申請專利範圍

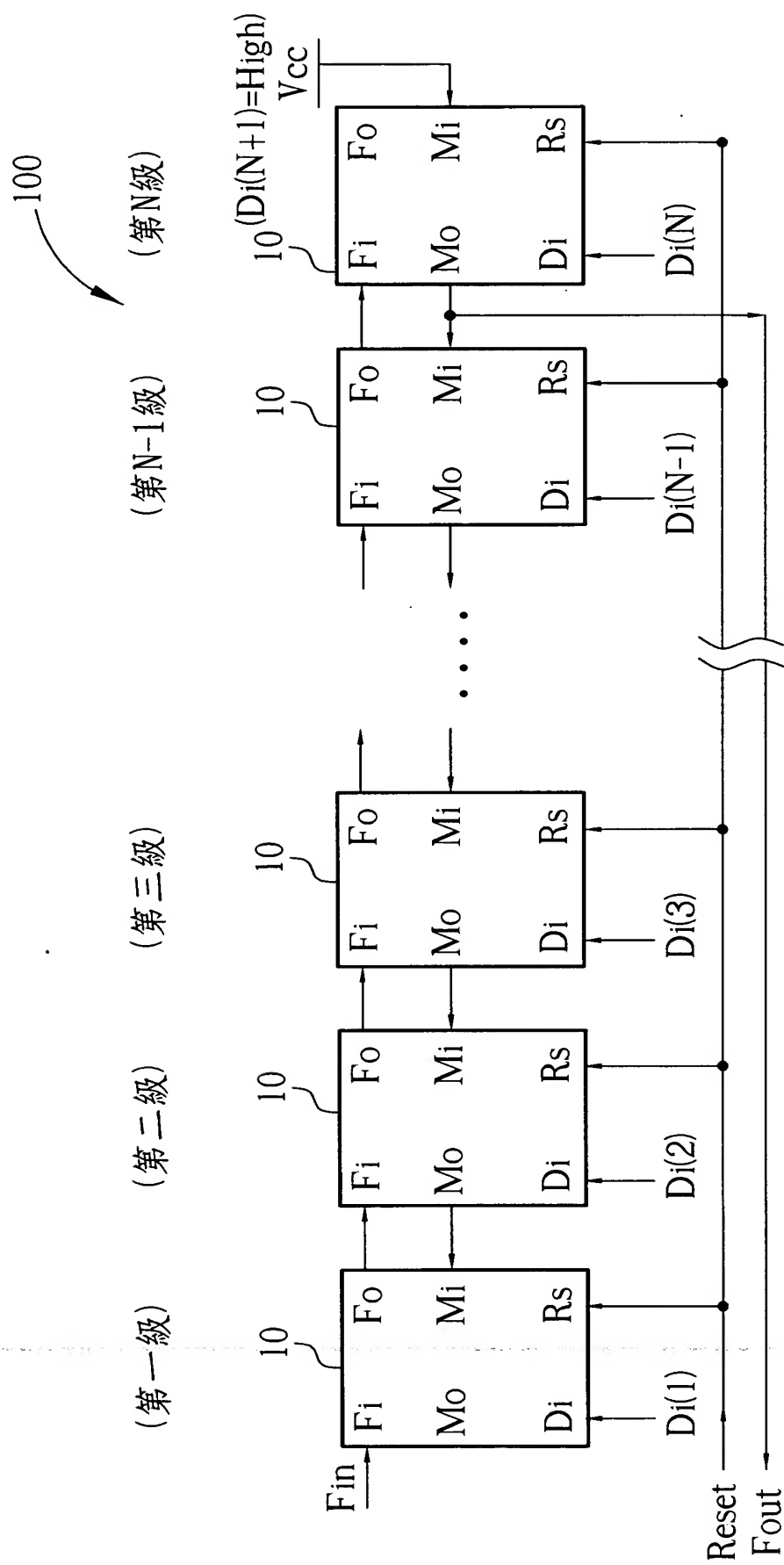
輸出端 (Fo) 是在邏輯 0 時，該第二輸出端 (Mo) 會輸出邏輯 0 (或 1) 訊號；

(d) 不論該第二輸入端 (Mi) 是在邏輯 0 或 1，當該第一輸出端 (Fo) 是在邏輯 1 時，該第二輸出端 (Mo) 會輸出邏輯 0 訊號；以及

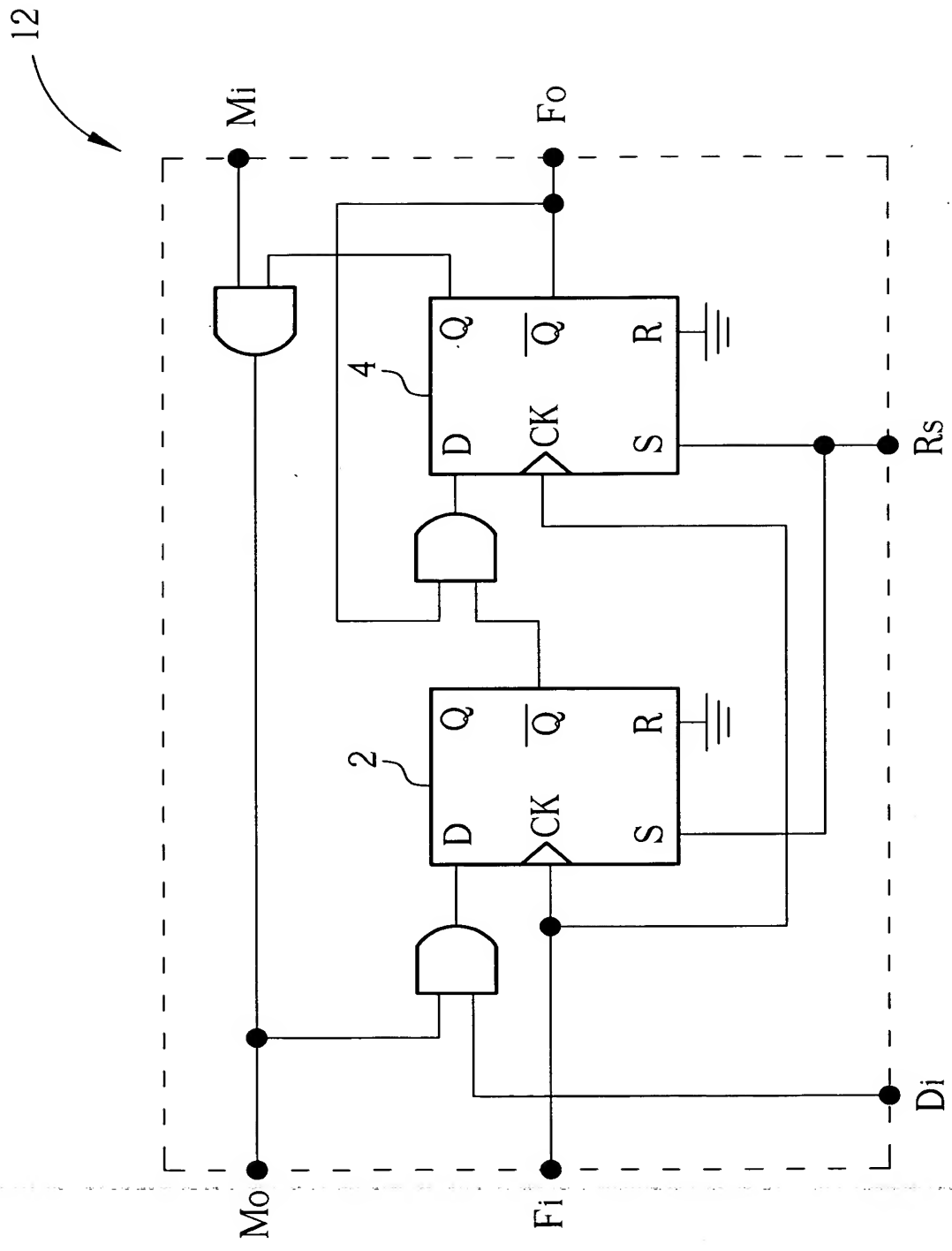
(e) 當該第五輸入端 (Ci) 接收到的該旁通模式致能訊號是邏輯 0 時，該第一輸出端 (Fo) 會輸出邏輯 0 訊號，且該第二輸出端 (Mo) 會輸出邏輯 1 訊號。

51. 如申請專利範圍第 49 項所述之可程式化多模數除頻器，其中每一第十二除頻單元之該第四輸入端 (R1)，係耦接於最後一級第十除頻單元之該第二輸出端 (Mo)，以除頻後之該目標脈波作為該重載訊號。

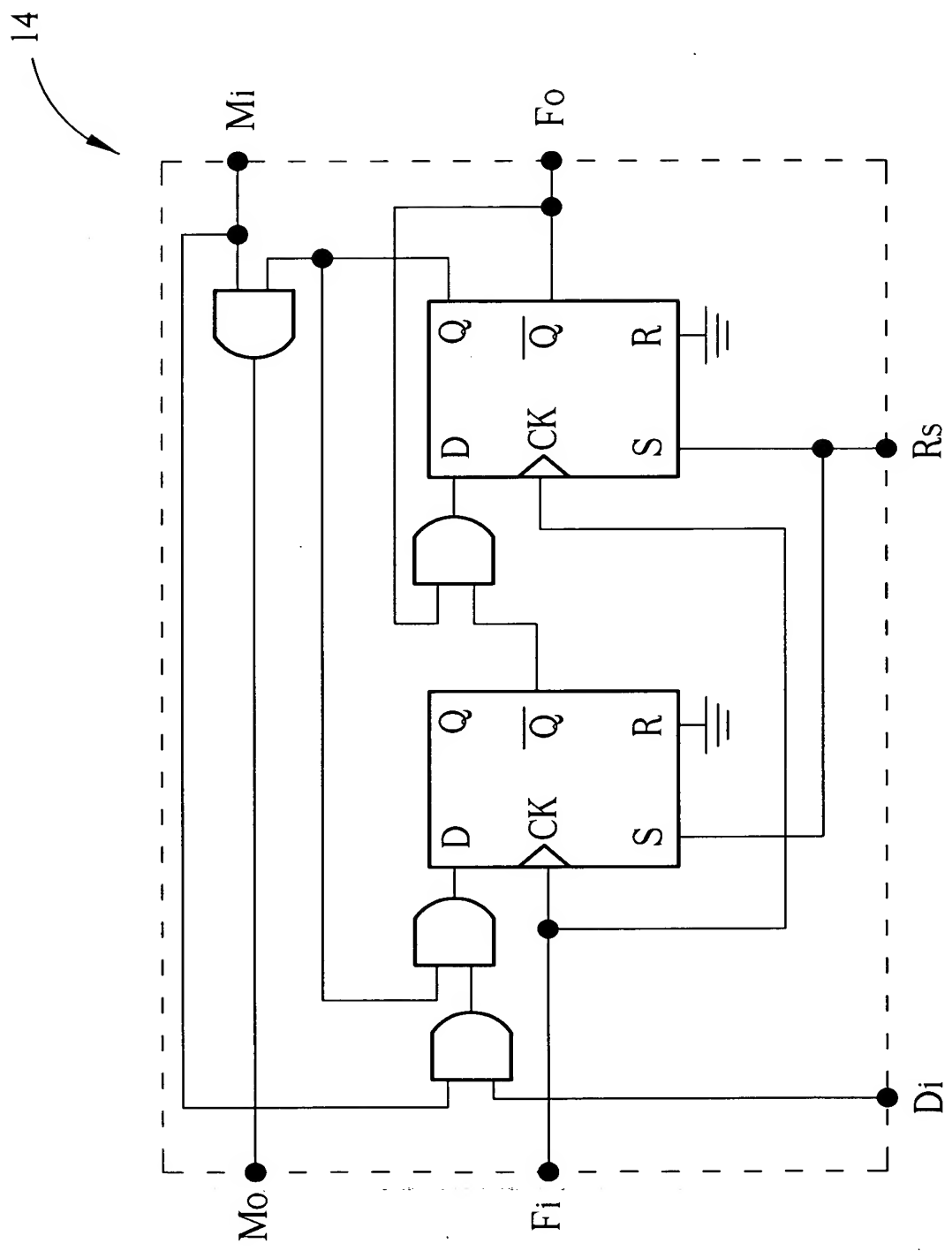




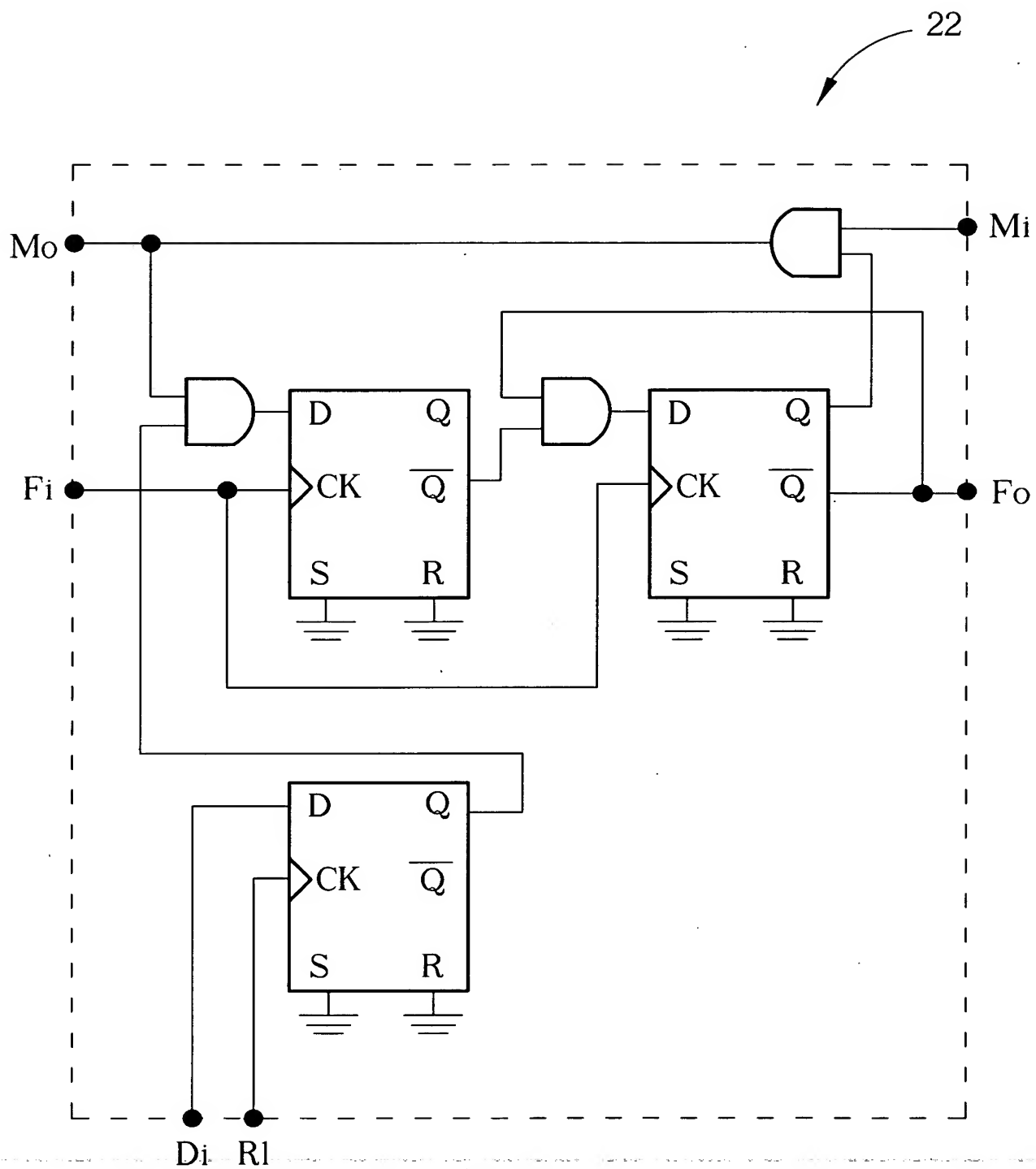
一
回



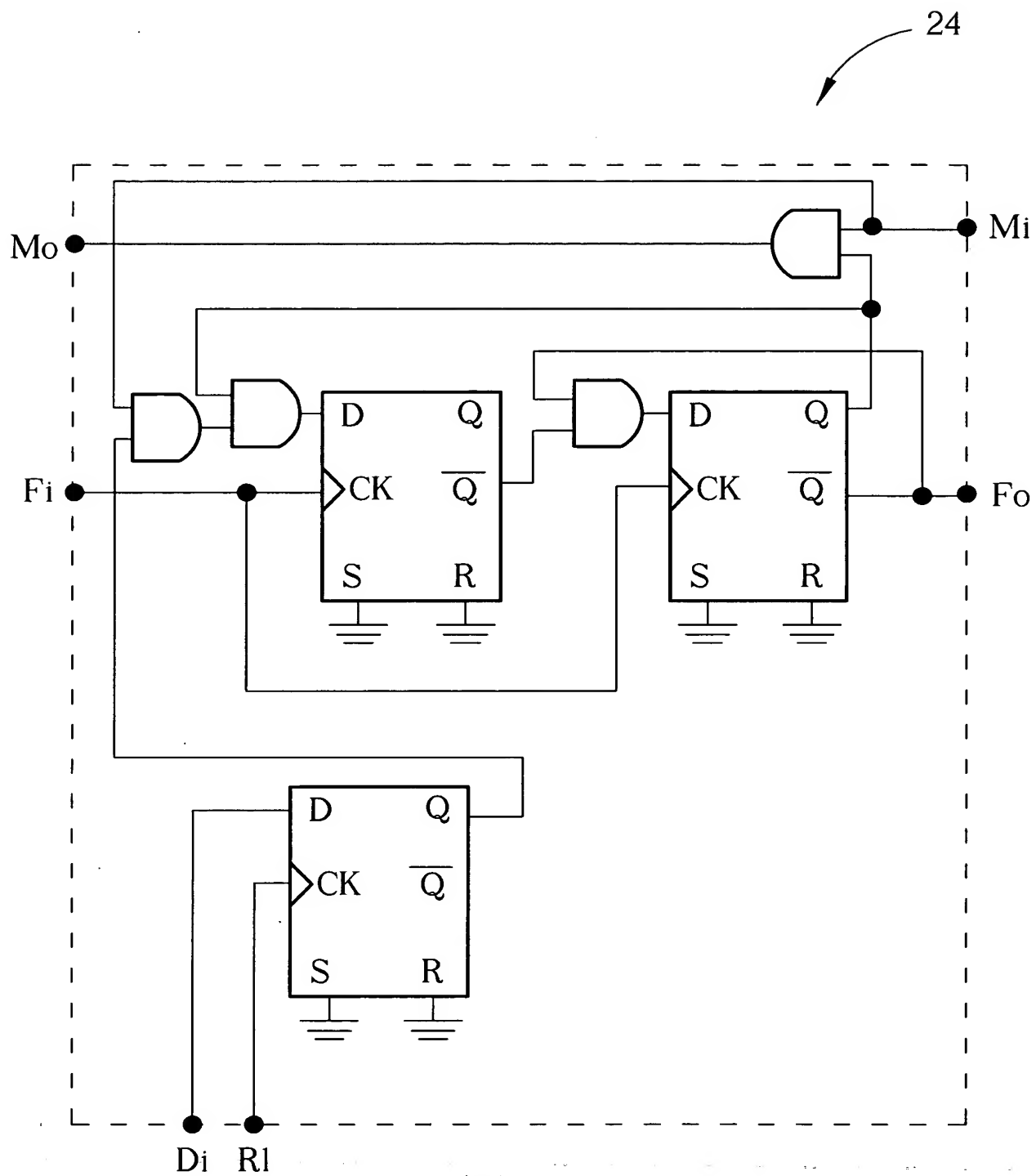
圖二



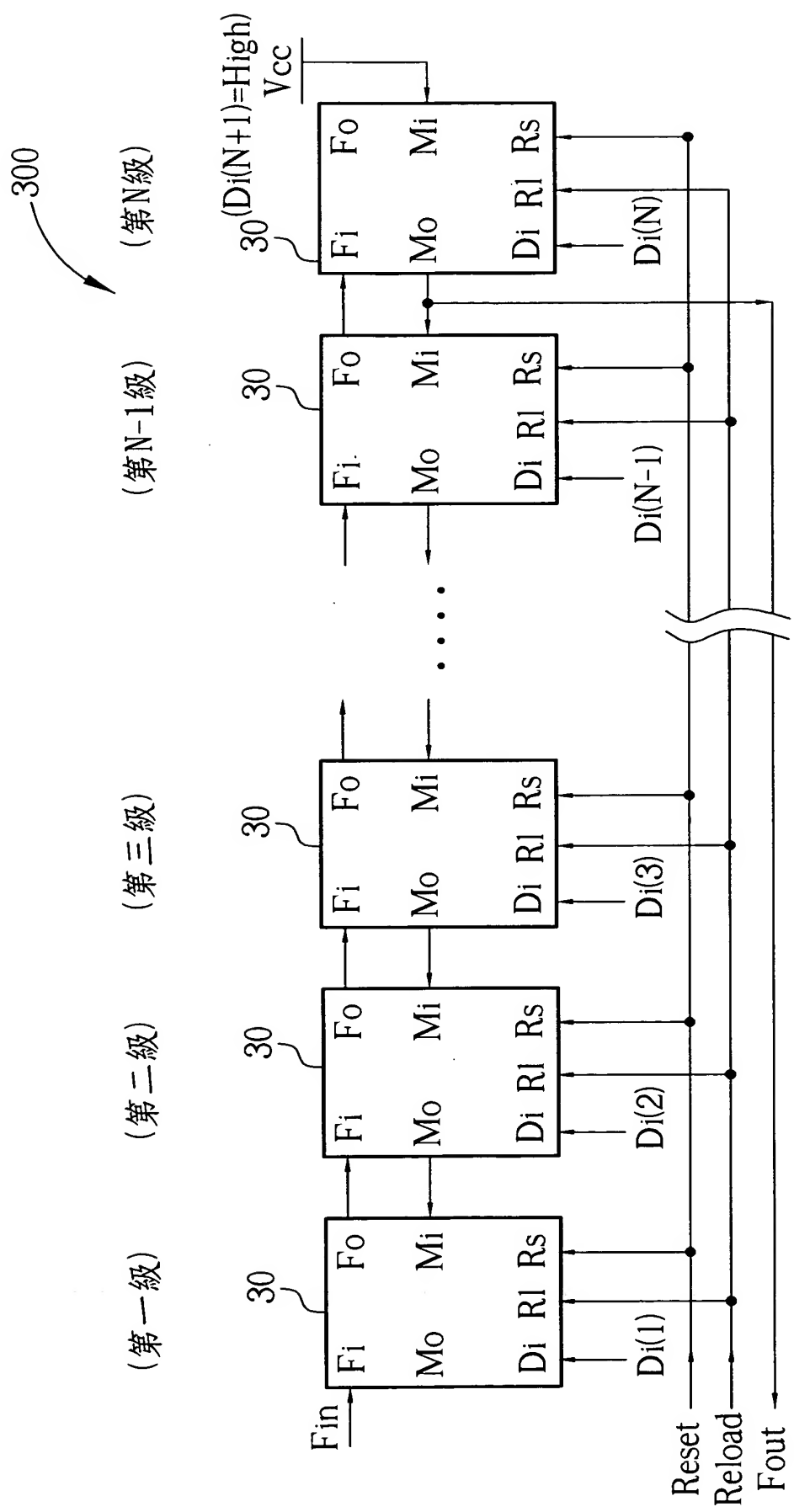
圖三



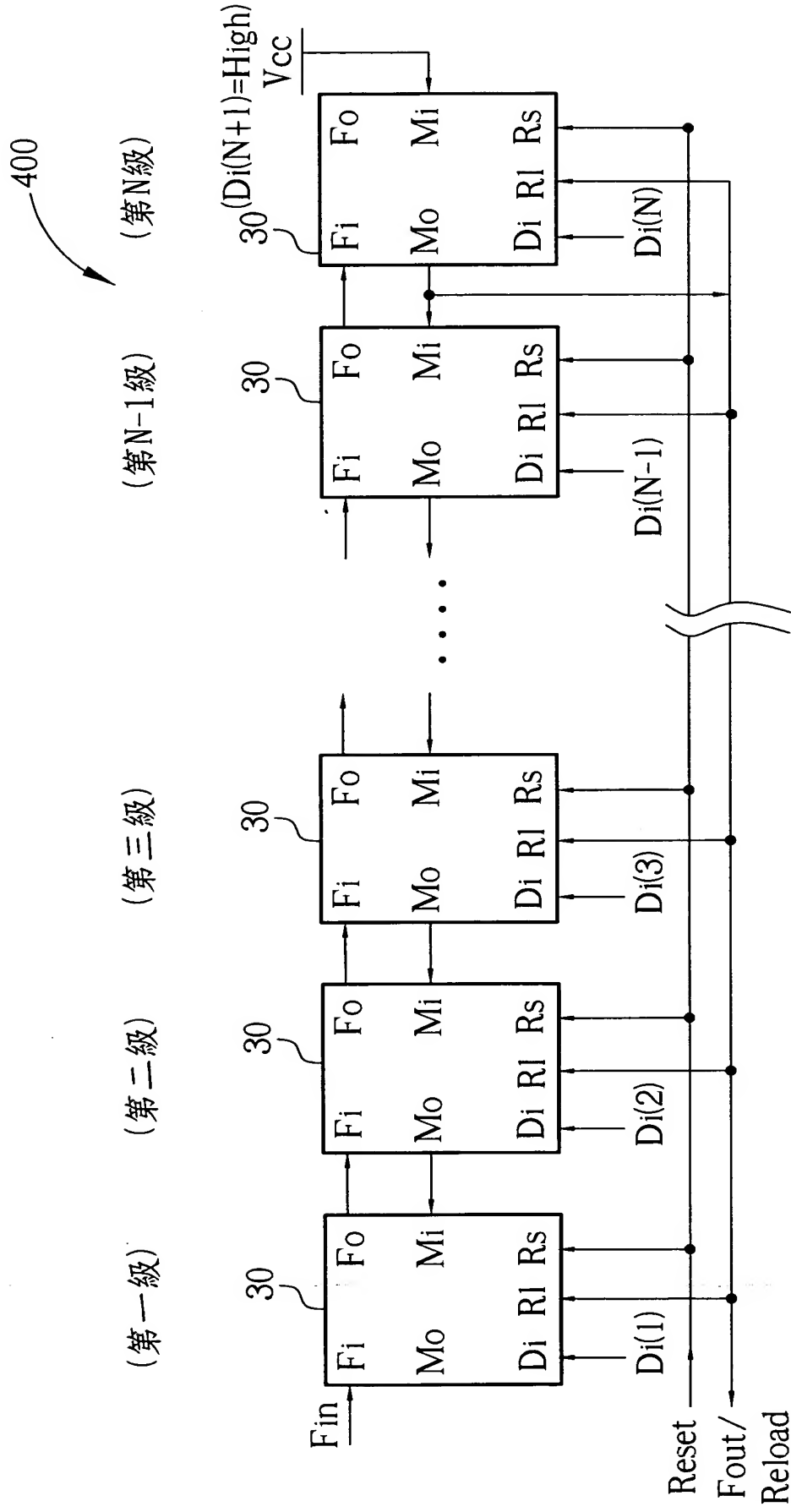
圖五



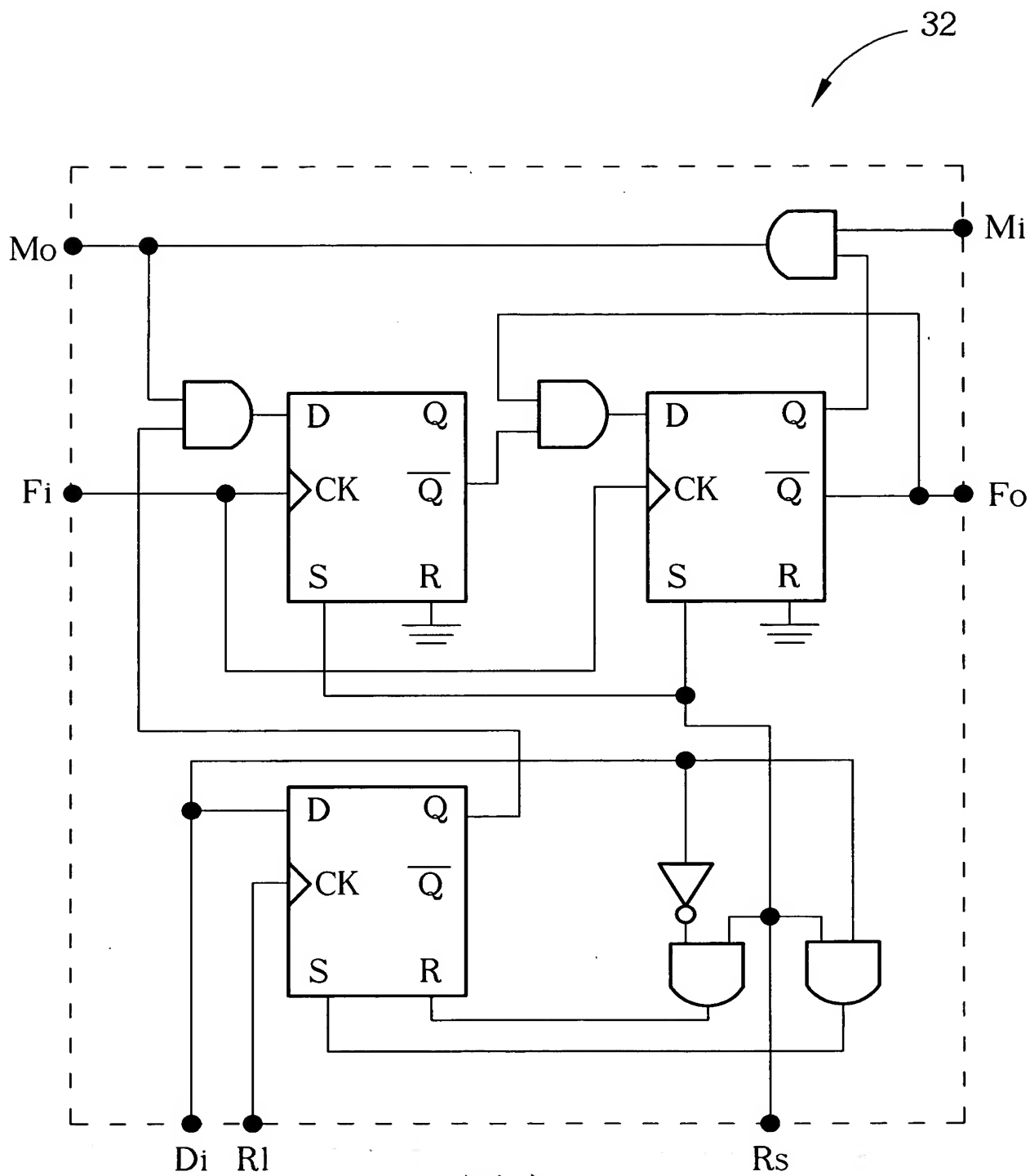
圖六



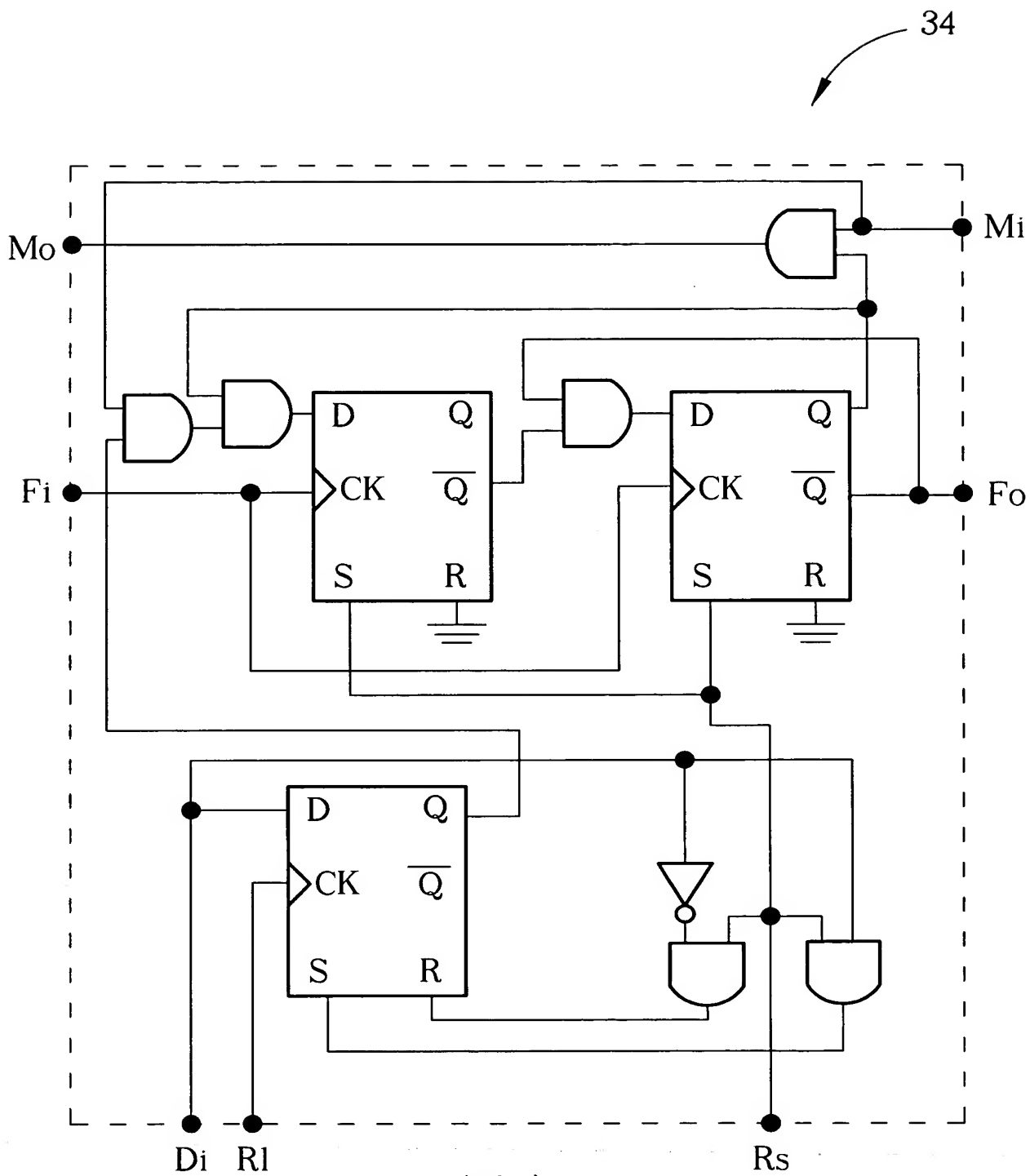
圖七



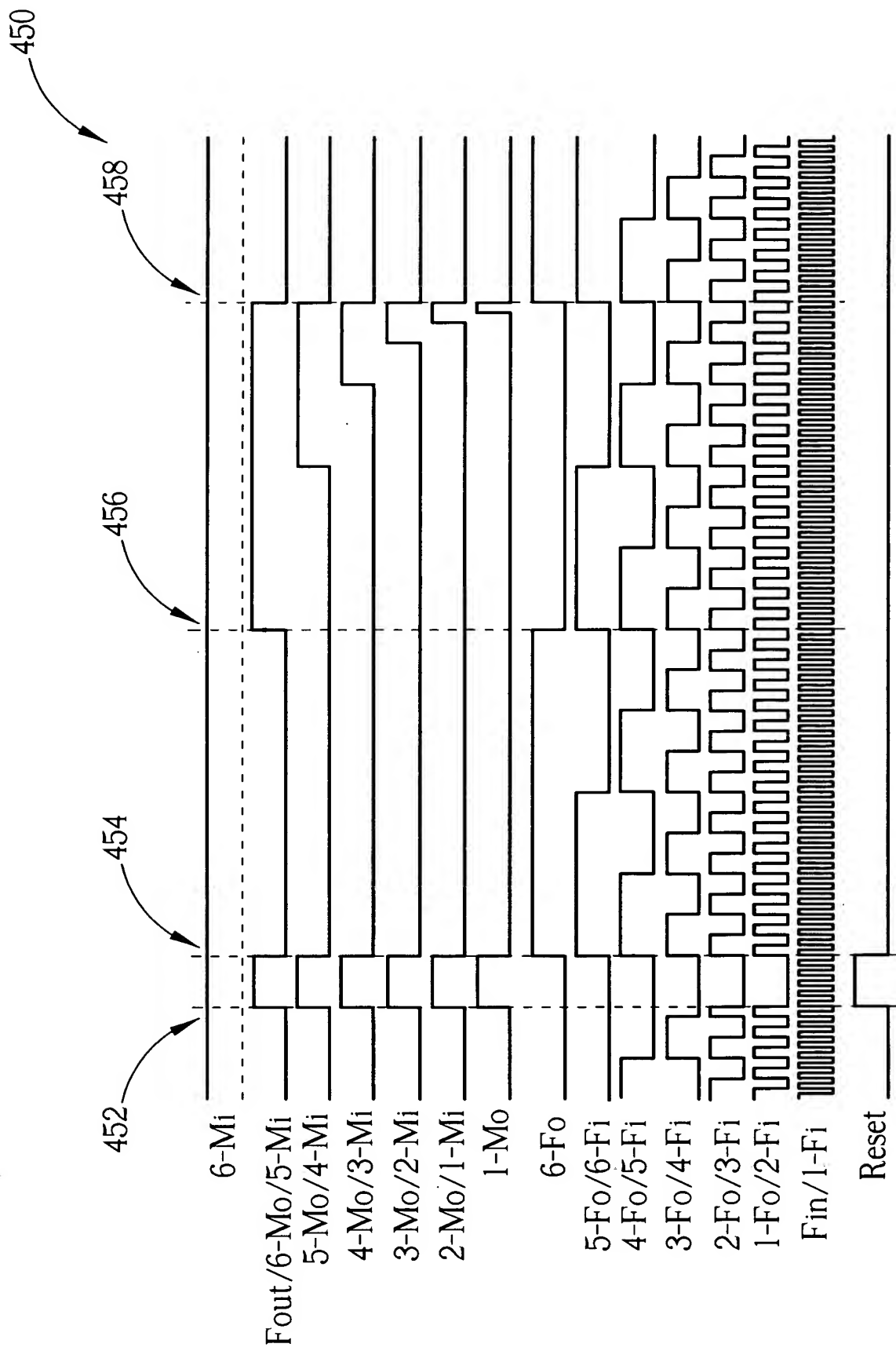
圖八



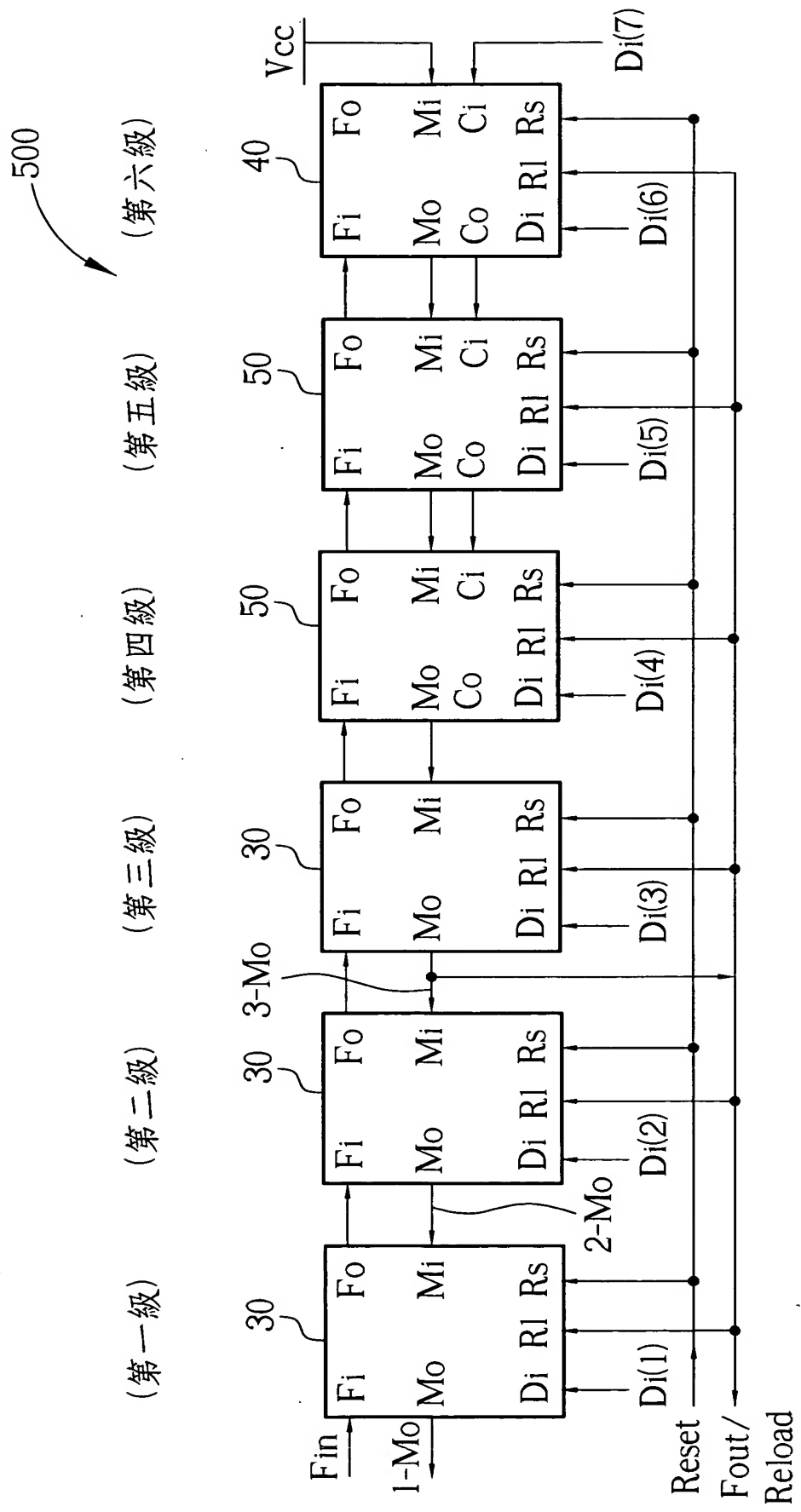
圖九



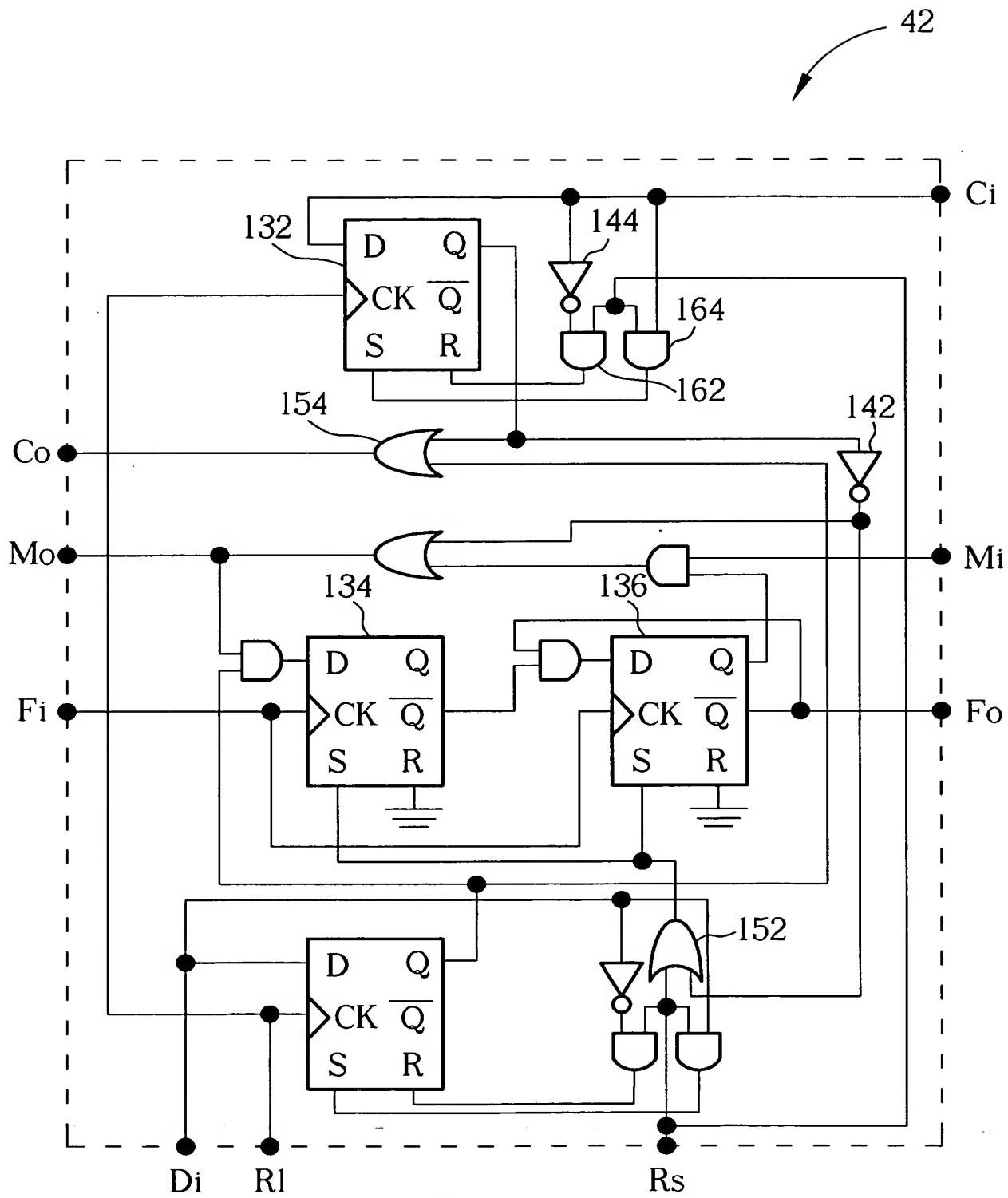
圖十



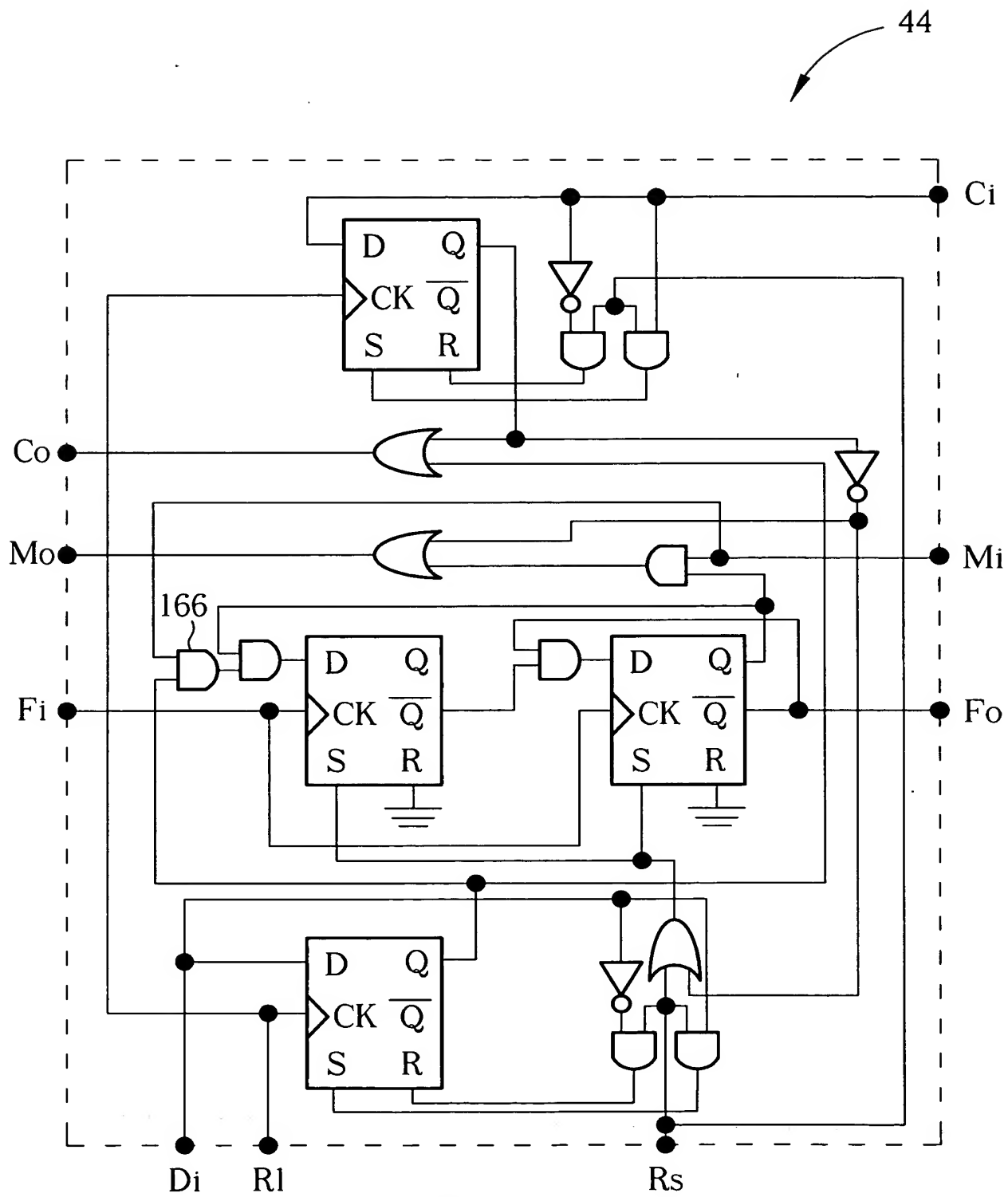
圖十一



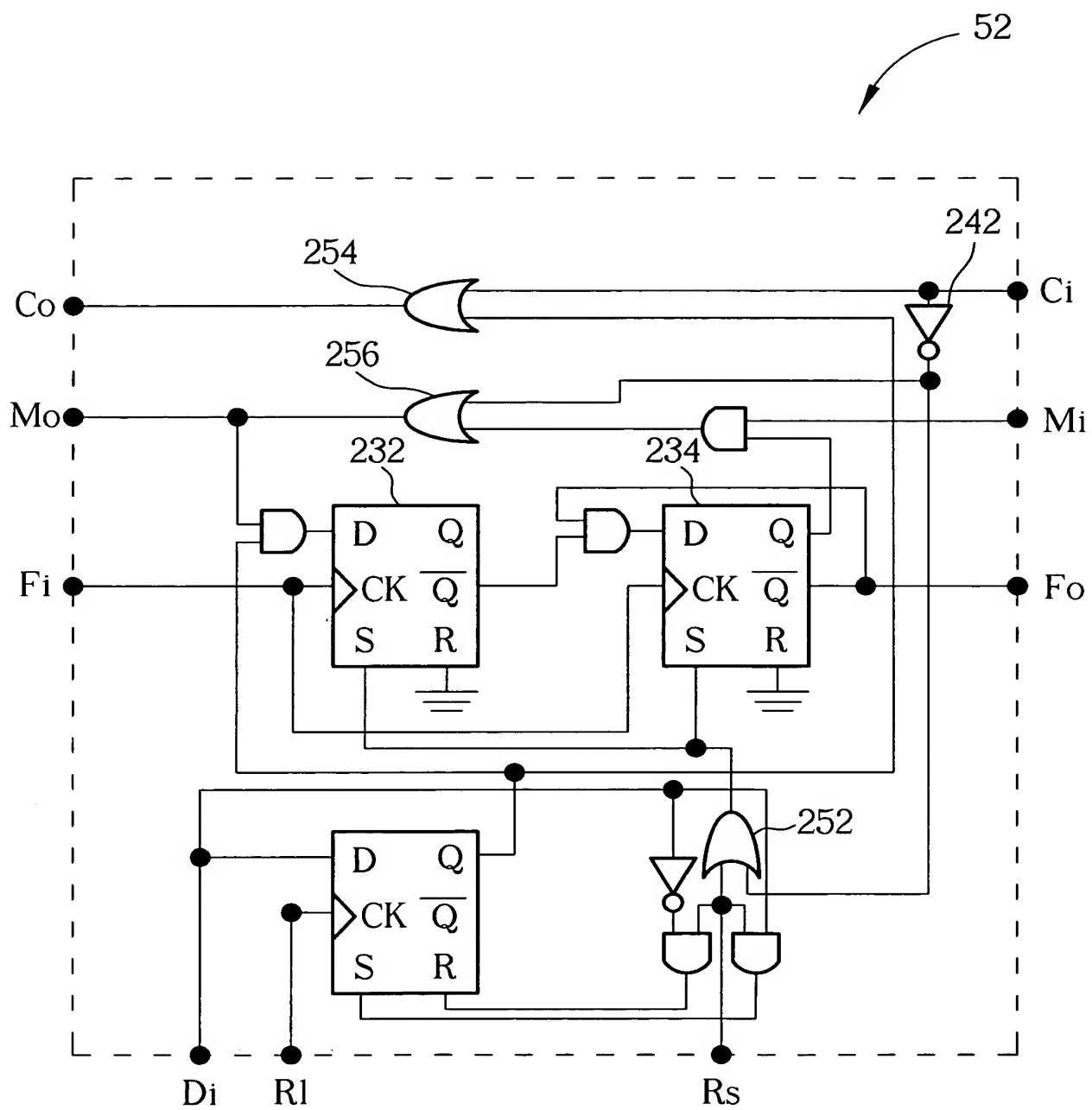
圖十二



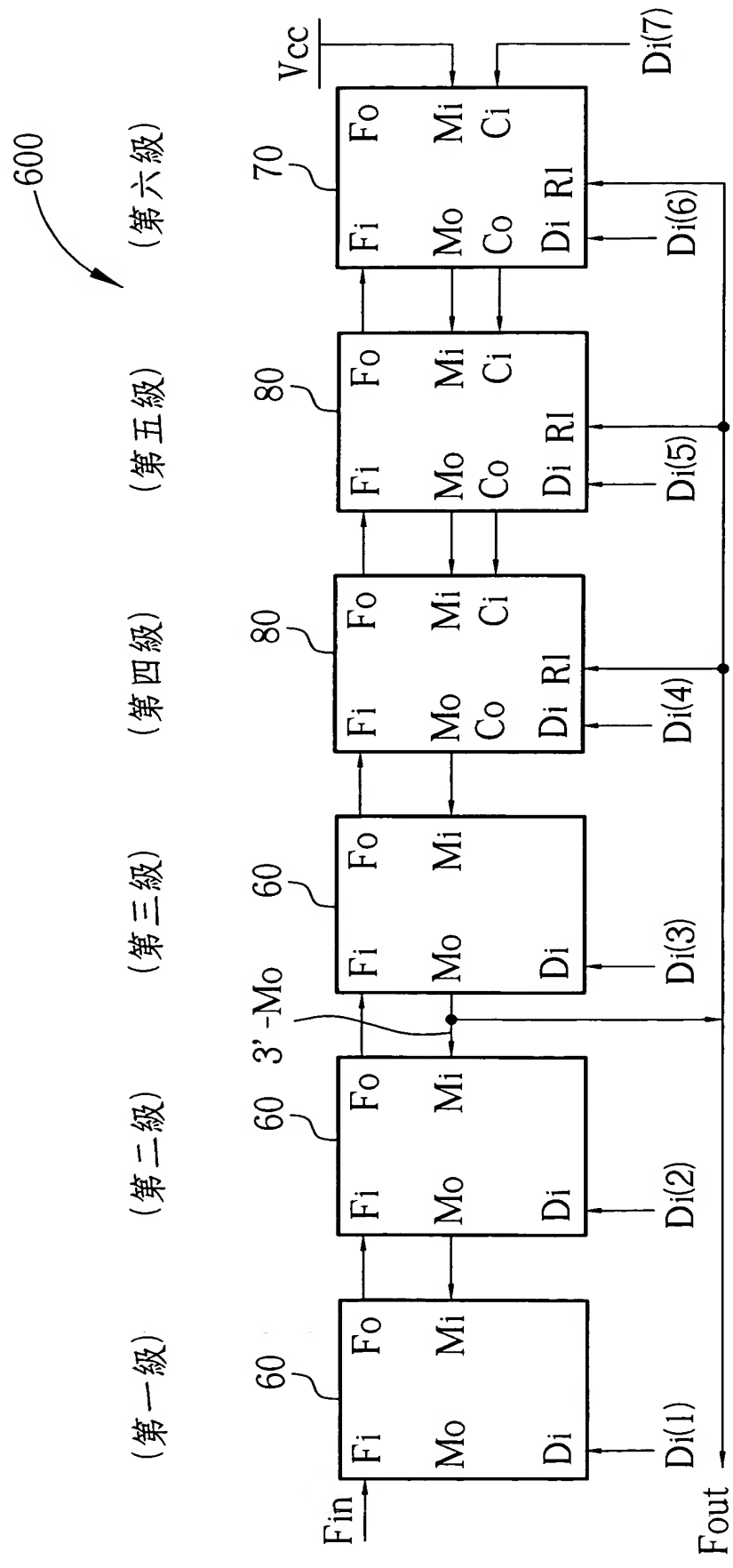
圖十三



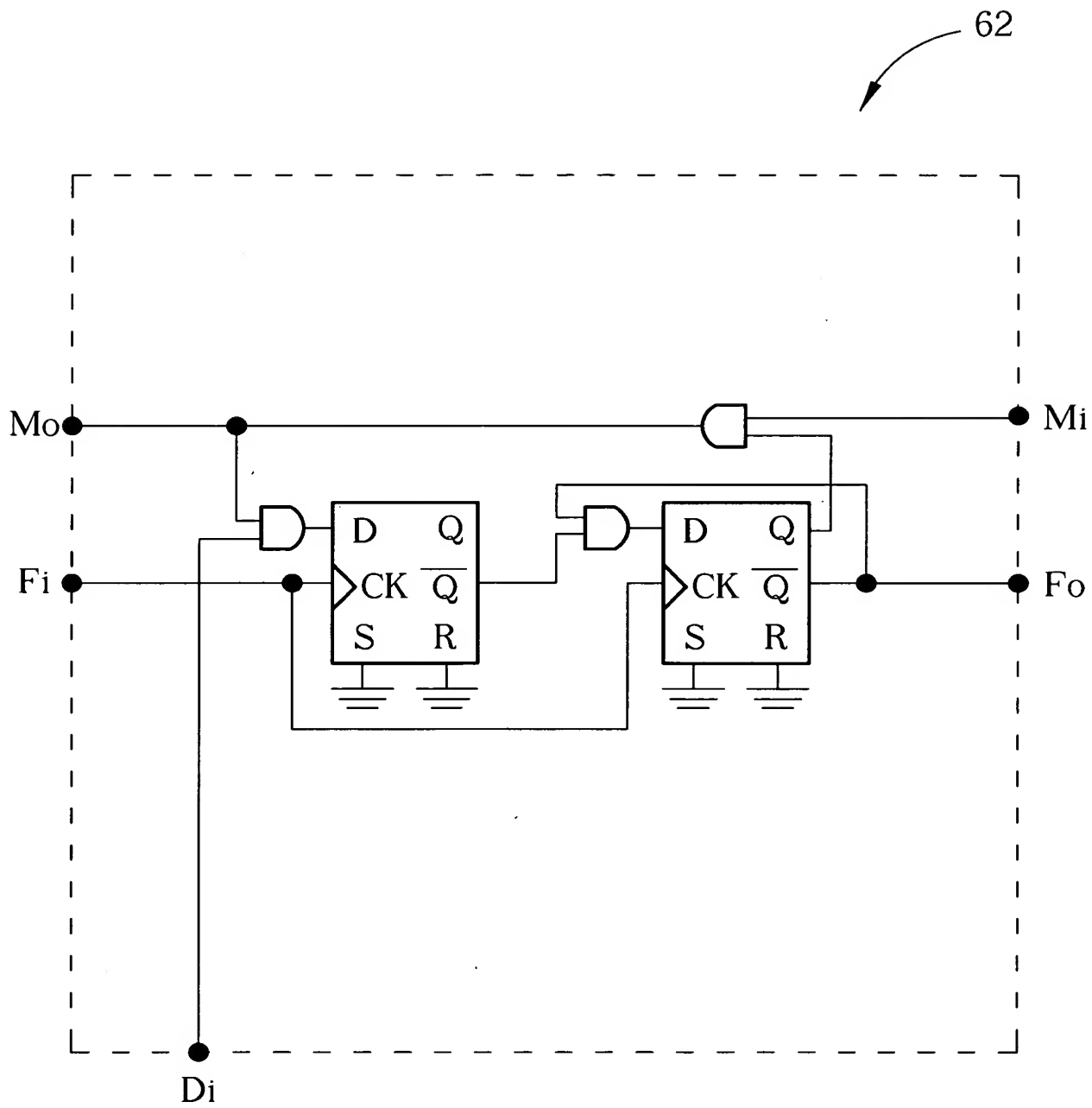
圖十四



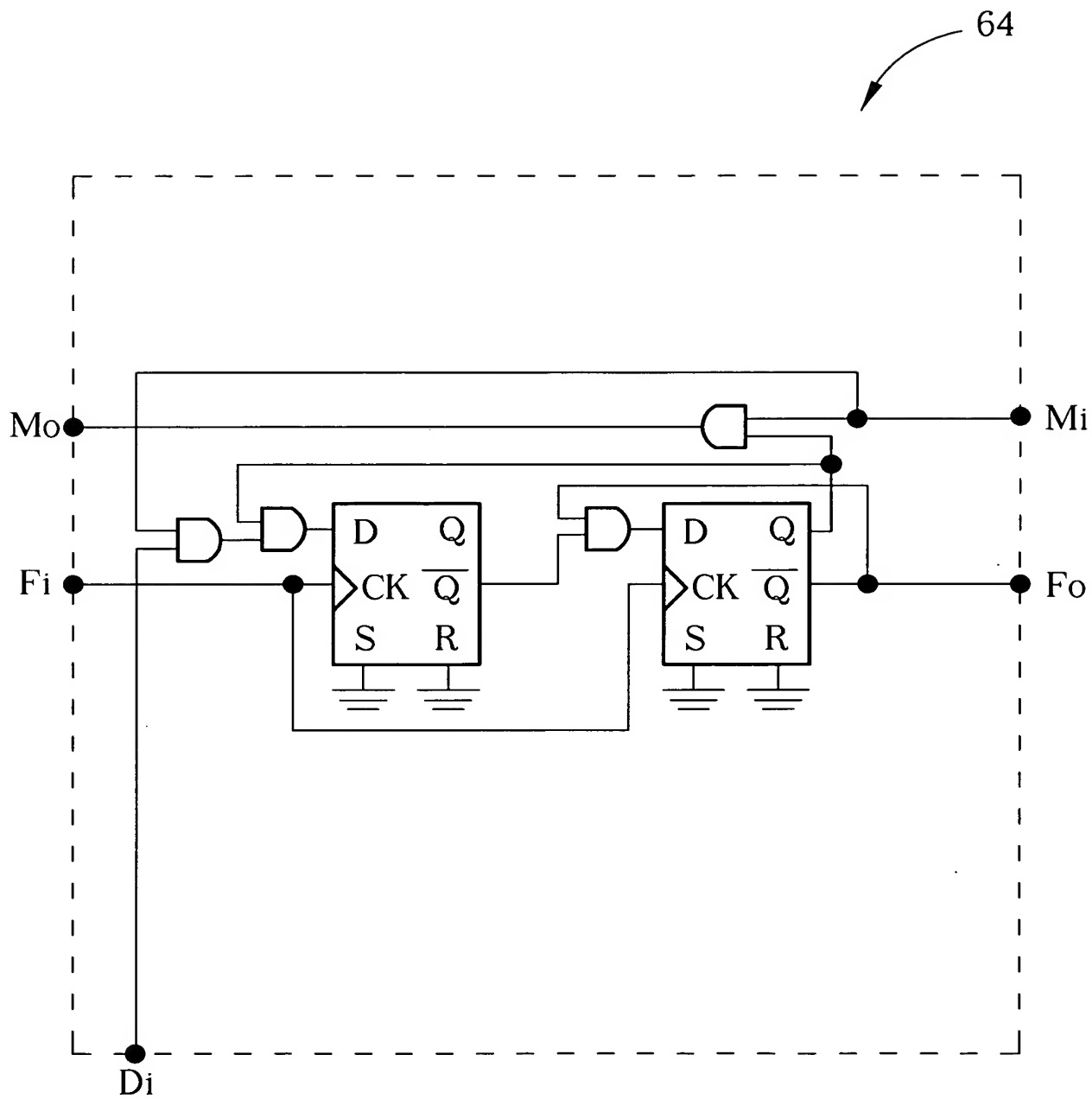
圖十五



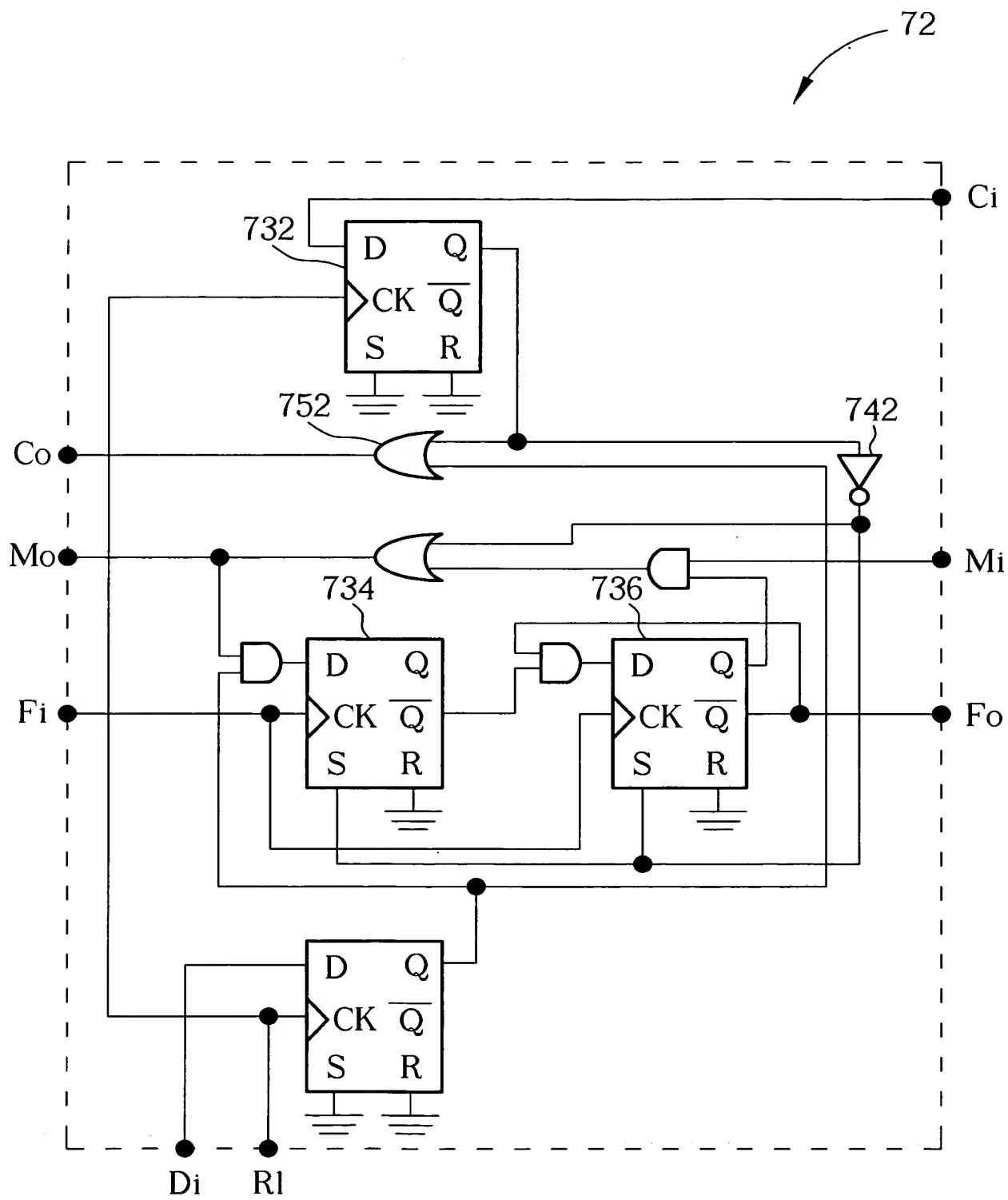
圖十七



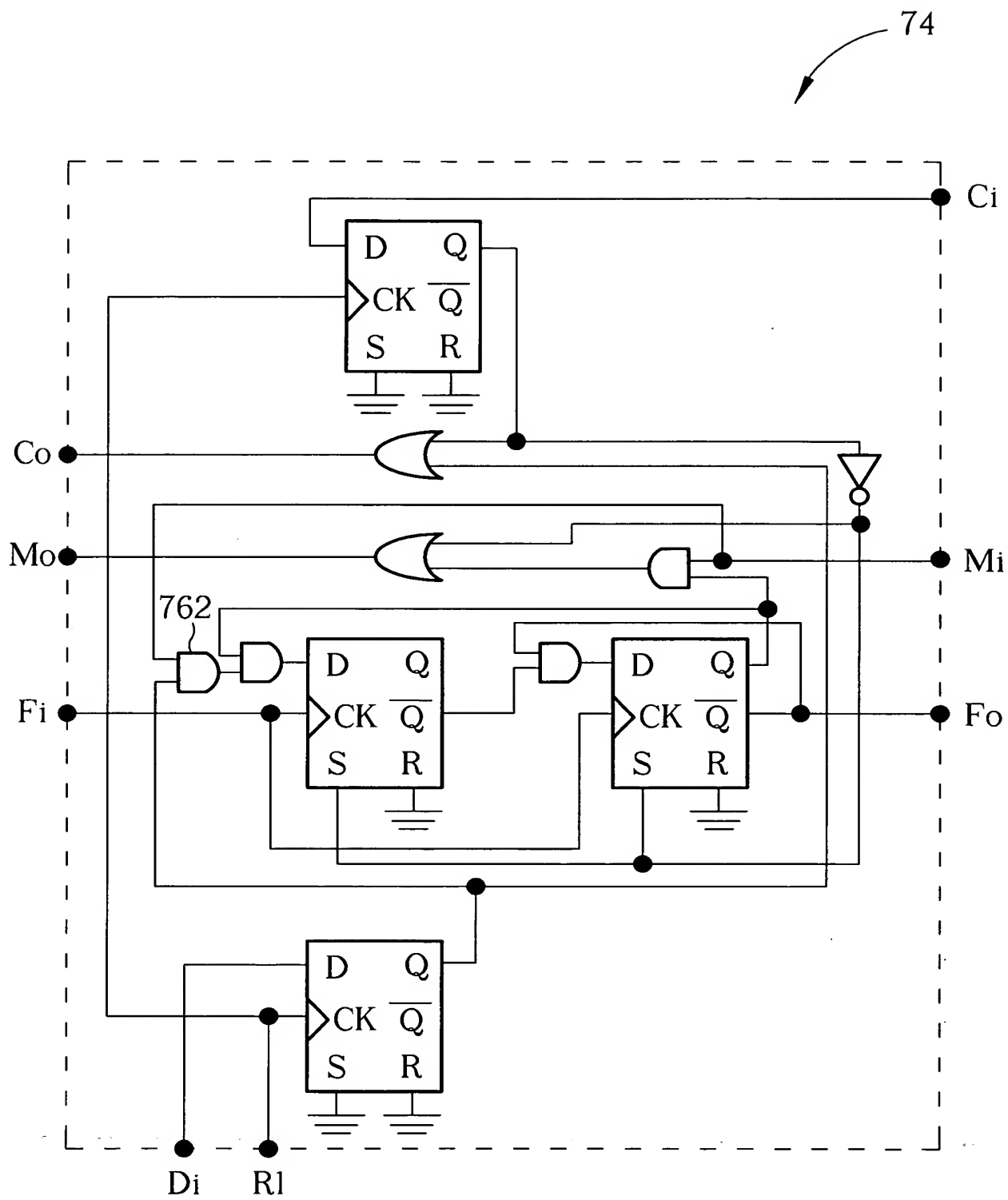
圖十八



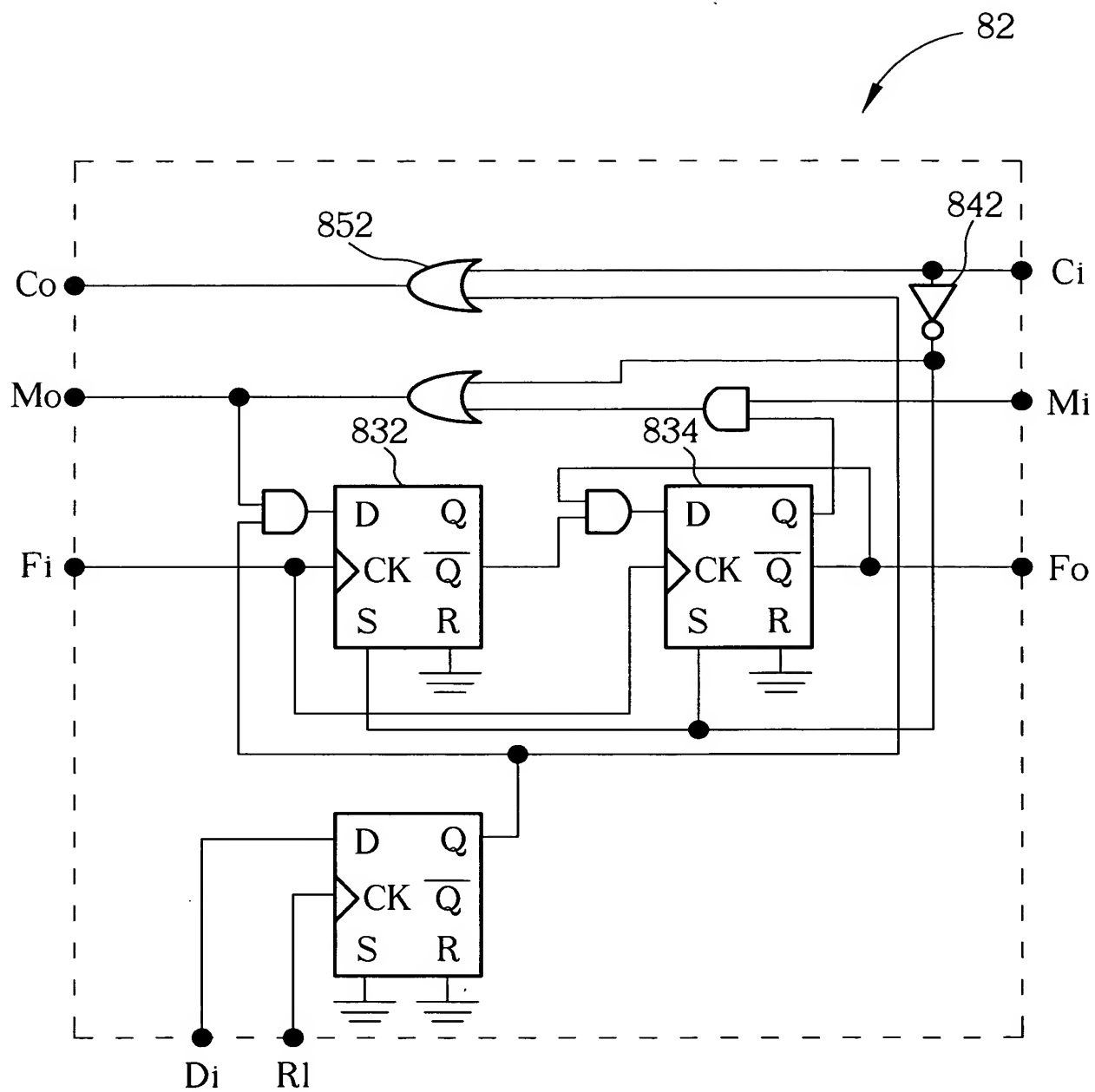
圖十九



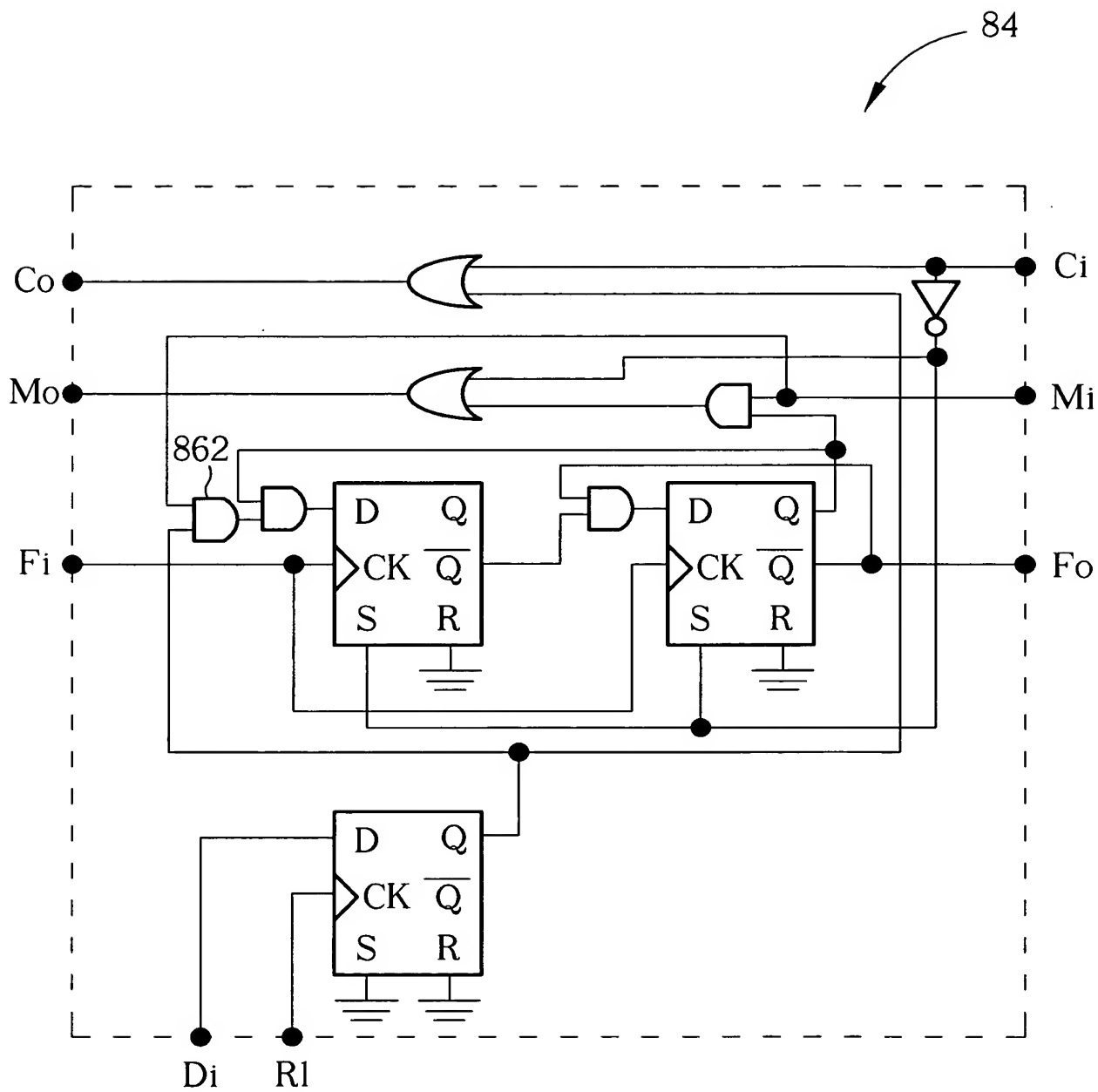
圖二十



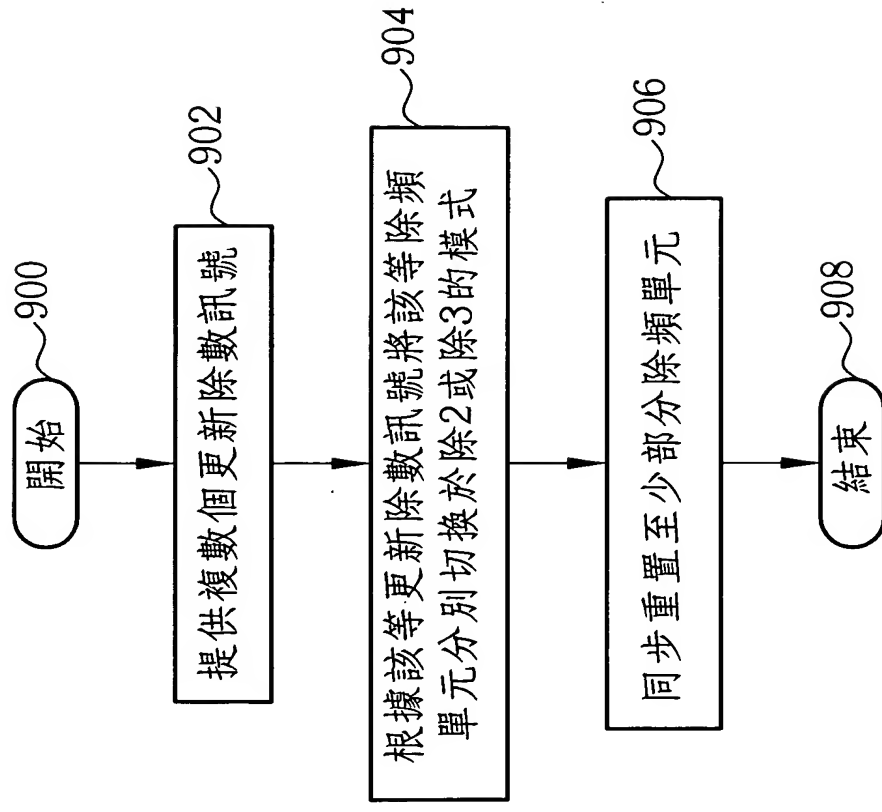
圖廿一



圖廿二

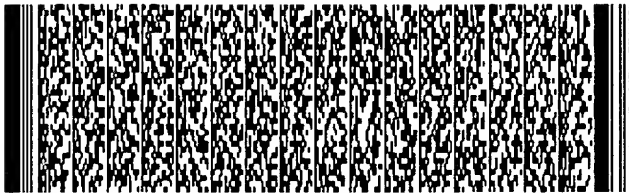


圖廿三



圖廿四

第 1/83 頁



第 2/83 頁



第 2/83 頁



第 3/83 頁



第 4/83 頁



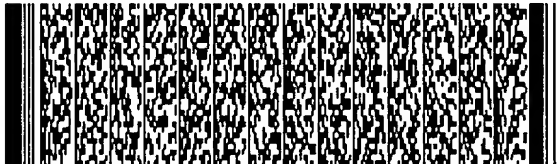
第 5/83 頁



第 6/83 頁



第 6/83 頁



第 7/83 頁



第 7/83 頁



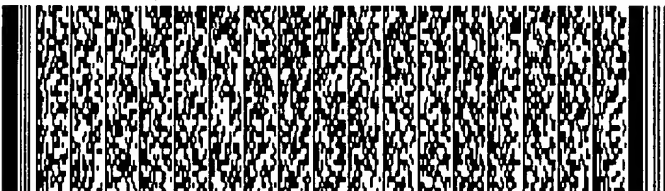
第 8/83 頁



第 8/83 頁



第 9/83 頁



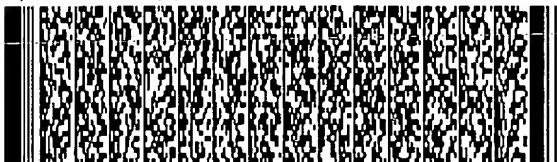
第 10/83 頁



第 10/83 頁

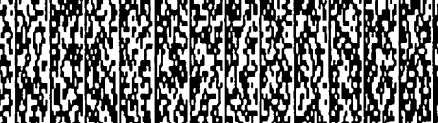


第 11/83 頁



[illegible]

1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525




100

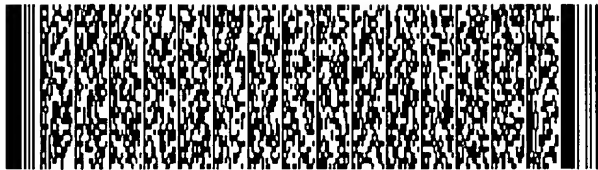
100

Figure 1. A schematic diagram illustrating the experimental design. The figure shows a sequence of events starting from a subject's arrival at the laboratory. The subject is first informed about the experiment and then given a practice trial. This is followed by two main phases: a baseline phase and a treatment phase. In the baseline phase, the subject performs a task while receiving a placebo. In the treatment phase, the subject performs the same task while receiving a specific intervention. The results are then compared between the two phases. The diagram uses arrows to indicate the flow of the experiment and boxes to represent different stages or components.

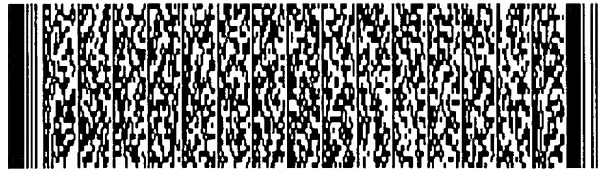
100

[illegible]

第 20/83 頁



第 20/83 頁



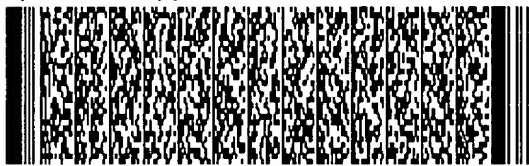
第 21/83 頁



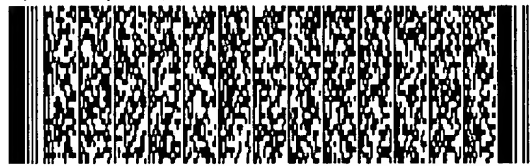
第 21/83 頁



第 22/83 頁



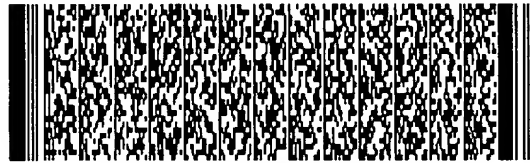
第 22/83 頁



第 23/83 頁



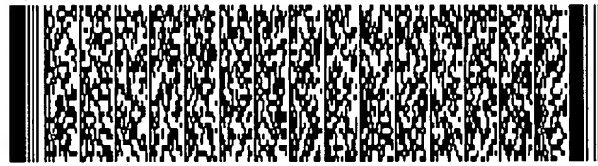
第 23/83 頁



第 24/83 頁



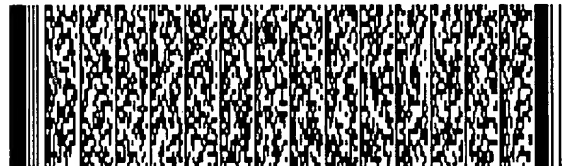
第 24/83 頁



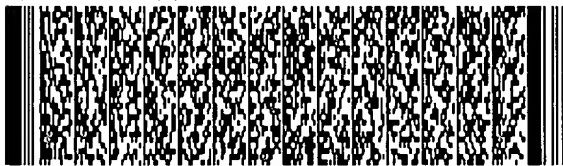
第 25/83 頁



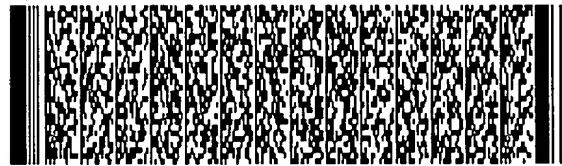
第 25/83 頁



第 26/83 頁



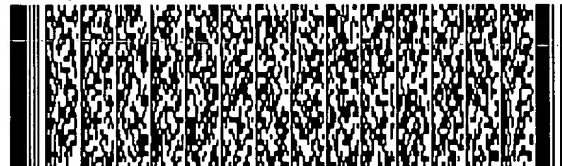
第 26/83 頁



第 27/83 頁



第 27/83 頁




100

100

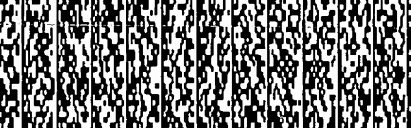


Abstract

A high-contrast, black and white image showing a dense, textured pattern, possibly a close-up of a surface or a heavily textured material. The pattern consists of numerous small, dark, irregular shapes packed closely together, creating a complex, almost abstract visual. The overall effect is one of intense detail and texture.



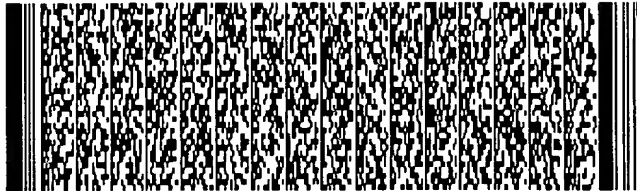
100



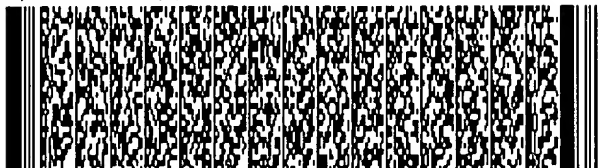
第 36/83 頁



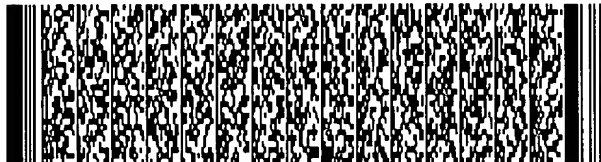
第 37/83 頁



第 38/83 頁



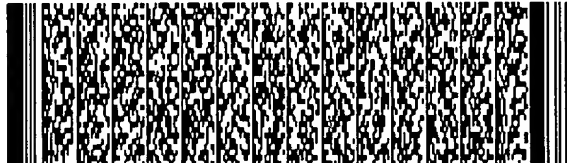
第 38/83 頁



第 39/83 頁



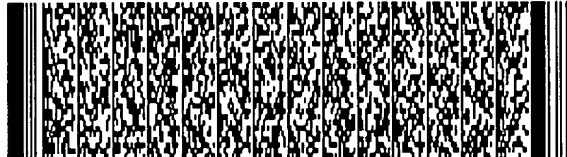
第 40/83 頁



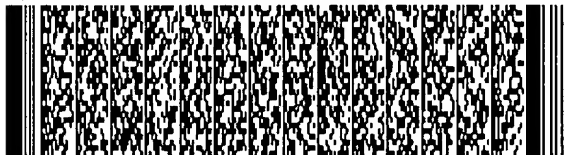
第 40/83 頁



第 41/83 頁



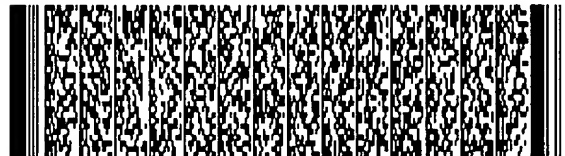
第 41/83 頁



第 42/83 頁



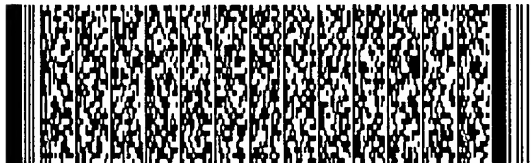
第 42/83 頁



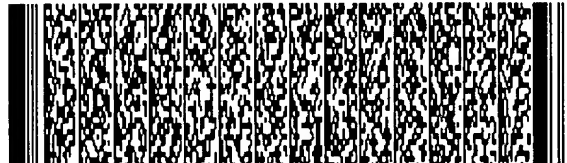
第 43/83 頁



第 43/83 頁



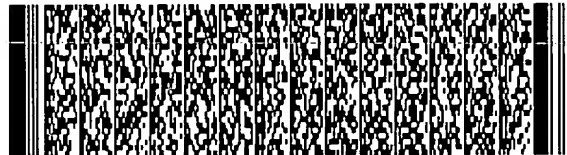
第 44/83 頁




第 44/83 頁



第 45/83 頁



[illegible]



100




100

100

100

100


1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384	385	386	387	388	389	390	391	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407	408	409	410	411	412	413	414	415	416	417	418	419	420	421	422	423	424	425	426	427	428	429	430	431	432	433	434	435	436	437	438	439	440	441	442	443	444	445	446	447	448	449	450	451	452	453	454	455	456	457	458	459	460	461	462	463	464	465	466
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----



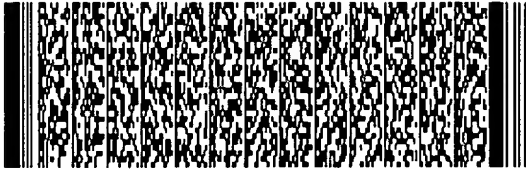
The figure consists of 12 grayscale photographs arranged in a horizontal row. Each photograph shows a person's head and neck from a side profile. The person is wearing a dark, high-collared garment. The sequence of images illustrates the range of motion of the head and neck, from a fully flexed position (head tilted down) to a fully extended position (head tilted back), and various intermediate angles. The images are used to demonstrate how a cervical collar would fit and provide support across different head positions.

[illegible]

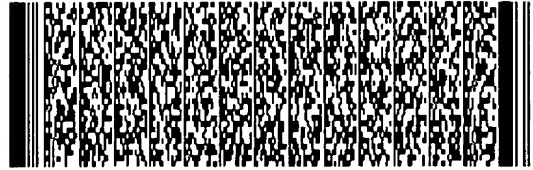
1000



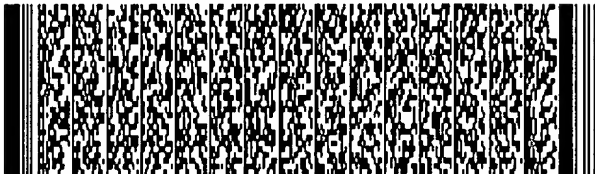
第 78/83 頁



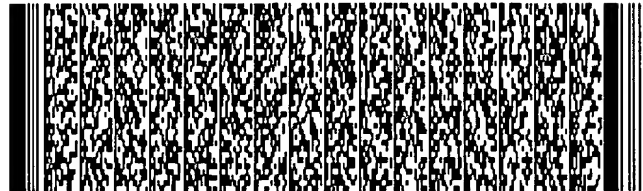
第 78/83 頁



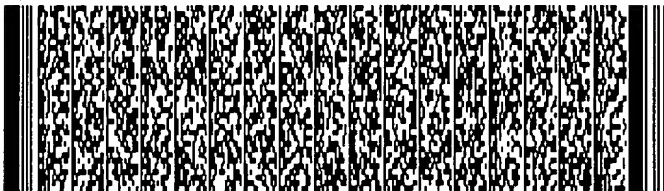
第 79/83 頁



第 80/83 頁



第 81/83 頁



第 82/83 頁



第 82/83 頁



第 83/83 頁

